

目录

实验一 晶体管开关特性、限幅器与钳位器.....	2
实验二 TTL 集成逻辑门的逻辑功能与参数测试.....	7
实验三 CMOS 集成逻辑门的逻辑功能与参数测试.....	15
实验四 集成逻辑电路的连接和驱动.....	19
实验五 组合逻辑电路的设计与测试.....	25
实验六 译码器及其应用.....	29
实验七 数据选择器及其应用.....	37
实验八 触发器及其应用.....	44
实验九 计数器及其应用.....	53
实验十 移位寄存器及其应用.....	60
实验十一 脉冲分配器及其应用.....	68
实验十二 使用门电路产生脉冲信号.....	73
实验十三 单稳态触发器与施密特触发器.....	77
实验十四 555 时基电路及其应用.....	86

实验一 晶体管开关特性、限幅器与钳位器

一、实验目的

1、观察晶体二极管、三极管的开关特性，了解外电路参数变化对晶体管开关特性的影响。

2、掌握限幅器和钳位器的基本工作原理。

二、实验原理

1、晶体二极管的开关特性

由于晶体二极管具有单向导电性，故其开关特性表现在正向导通与反向截止两种不同状态的转换过程。

如图 1-1 电路，输入端施加一方波激励信号 v_i ，由于二极管结电容的存在，因而有充电、放电和存贮电荷的建立与消散的过程。因此当加在二极管上的电压突然由正向偏置 ($+V_1$) 变为反向偏置 ($-V_2$) 时，二极管并不立即截止，而是出现一个较大的反向电流 $-\frac{V_2}{R}$ ，并维持一段时间 t_s （称为存贮时间）后，电流才开始减小，再经 t_f （称为下降时间）后，反向电流才等于静态特性上的反向电流 I_0 ，将 $t_{rr} = t_s + t_f$ 叫做反向恢复时间， t_{rr} 与二极管的结构有关，PN 结面积小，结电容小，存贮电荷就少， t_s 就短，同时也与正向导通电流和反向电流有关。

当管子选定后，减小正向导通电流和增大反向驱动电流，可加速电路的转换过程。

2、晶体三极管的开关特性

晶体三极管的开关特性是指它从截止到饱和导通，或从饱和导通到截止的转换过程，而且这种转换都需要一定的时间才能完成。

如图 1-2 电路的输入端，施加一个足够幅度（在 $-V_2$ 和 $+V_1$ 之间变化）的矩形脉冲电压 v_i 激励信号，就能使晶体管从截止状态进入饱和导通，再从饱和进入截止。可见晶体管 T 的集电极电流 i_c 和输出电压 v_o 的波形已不是一个

理想的矩形波，其起始部分和平顶部分都延迟了一段时间，其上升沿和下降沿都变得缓慢了，如图 1-2 波形所示，从 v_i 开始跃升到 i_c 上升到 $0.1I_{CS}$ ，所需时间定义为延迟时间 t_d ，而 i_c 从 $0.1I_{CS}$ 增长到 $0.9I_{CS}$ 的时间为上升时间 t_r ，从 v_i 开始跃降到 i_c 下降到 $0.9I_{CS}$ 的时间为存贮时间 t_s ，而 i_c 从 $0.9I_{CS}$ 下降到 $0.1I_{CS}$ 的时间为下降时间 t_f ，通常称 $t_{on}=t_d+t_r$ 为三极管开关的“接通时间”， $t_{off}=t_s+t_f$ 称为“断开时间”，形成上述开关特性的主要原因乃是晶体管结电容之故。

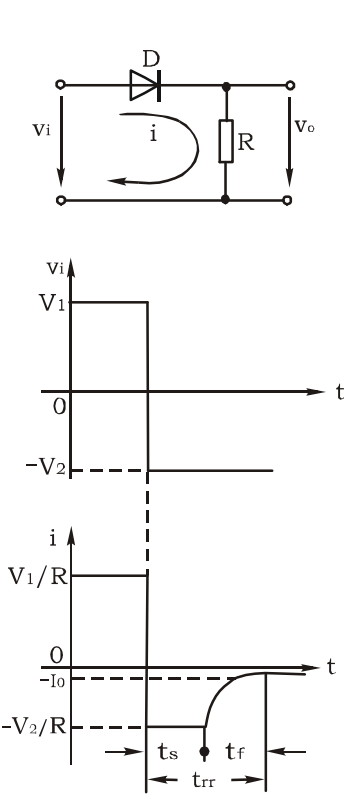


图 1-1 晶体二极管的开关特性

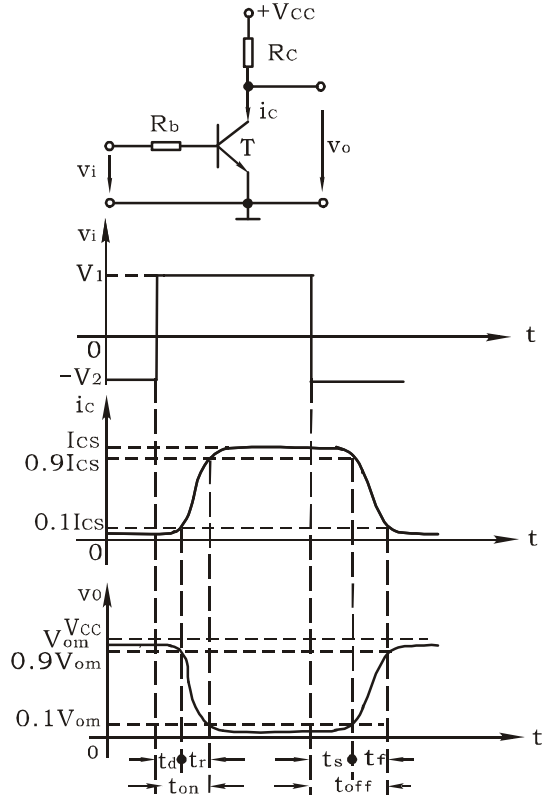


图 1-2 晶极三极管的开关特性

改善晶体三极管开关特性的方法是采用加速电容 C_b 和在晶体管的集电极加二极管 D 箝位，如图 1-3 所示。

C_b 是一个近百 PF 的小电容，当 v_i 正跃变期间，由于 C_b 的存在， R_{b1} 相当于被短路， v_i 几乎全部加到基极上，使 T 迅速进入饱和， t_d 和 t_r 大大缩短。当 v_i 负跃变时， R_{b1} 再次被短路，使 T 迅速截止，也大大缩短了 t_s 和 t_f ，可见 C_b 仅在瞬态过程中才起作用，稳态时相当于开路，对电路没有影响。 C_b 既加速

了晶体管的接通过程又加速了断开过程，故称之为加速电容，这是一种经济有效的方法，在脉冲电路中得到广泛应用。

箝位二极管 D 的作用是当管子 T 由饱和进入截止时，随着电源对分布电容和负载电容的充电， v_o 逐渐上升。因为 $V_{CC} > E_C$ ，当 v_o 超过 E_C 后，二极管 D 导通，使 v_o 的最高值被箝位在 E_C ，从而缩短 v_o 波形的上升边沿，而且上升边的起始部分又比较陡，所以大大缩短了输出波形的上升时间 t_r 。

3、利用二极管与三极管的非线性特性，可构成限幅器和箝位器。它们均是一种波形变换电路，在实际中均有广泛的应用。二极管限幅器是利用二极管导通时和截止时呈现的阻抗不同来实现限幅，其限幅电平由外接偏压决定。三极管则利用其截止和饱和特性实现限幅。箝位的目的是将脉冲波形的顶部或底部箝制在一定的电平上。

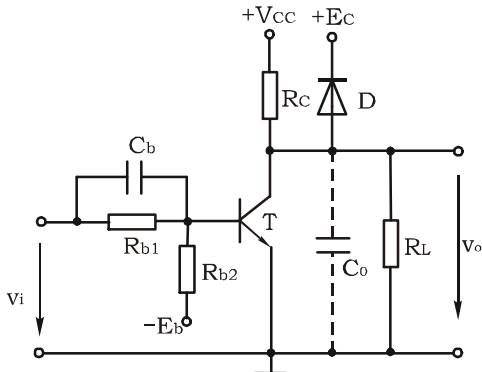


图 1-3 改善三极管开关特性的电路

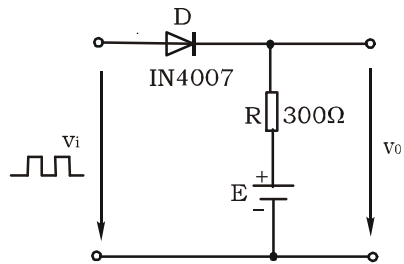


图 1-4 二极管开关特性实验电路

三、实验设备与器件

仔细查看数字电路实验装置的结构：直流稳压电源、信号源、逻辑开关，逻辑电平显示器，元器件位置的布局及使用方法。

- | | |
|-------------------------------------|----------|
| 1、 ±5V、+12V 直流电源 | 2、 双踪示波器 |
| 3、 续脉冲源 | 4、 音频信号源 |
| 5、 直流数字电压表 | |
| 6、 IN4007、3DG6、3DK2、2AK2 及 R、C 元件若干 | |

四、实验内容

在实验装置合适位置放置元件，然后接线。

1、二极管反向恢复时间的观察

按图 1-4 接线，E 为偏置电压（0~2V 可调）

(1) 输入信号 v_i 为频率 $f=100\text{KHz}$ 、幅值 $V_m=3\text{V}$ 方波信号(可用固定脉冲 100KHz)，E 调至 0V，用双踪示波器观察和记录输入信号 v_i 和输出信号 v_o 的波形，并读出存贮时间 t_s 和下降时间 t_f 的值。

(2) 改变偏置电压 E（由 0 变到 2V），观察输出波形 v_o 的 t_s 和 t_f 的变化规律，记录结果进行分析。

2、三极管开关特性的观察

按图 1-5 接线，输入 v_i 为 100KHz 方波信号(可用固定脉冲 100KHz)，晶体管选用 3DG6A。

(1) 将 B 点接至负电源 $-E_b$ ，使 $-E_b$ 在 $0\sim-4\text{V}$ 内变化。观察并记录输出信号 v_o 波形的 t_d 、 t_r 、 t_s 和 t_f 变化规律。

(2) 将 B 点换接在接地点，在 R_{b1} 上并一 30PF 的加速电容 C_b ，观察 C_b 对输出波形的影响，然后将 C_b 更换成 300PF，观察并记录输出波形的变化情况。

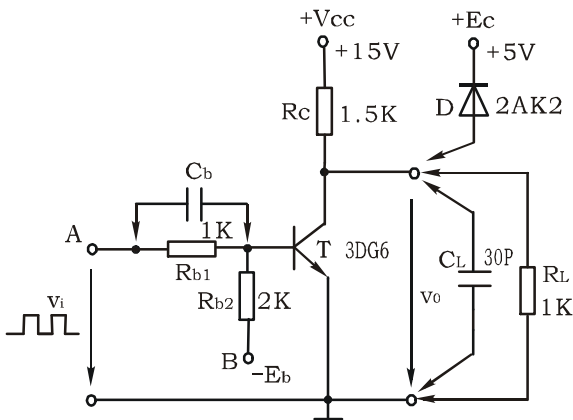


图 1-5 三极管开关特性实验电路

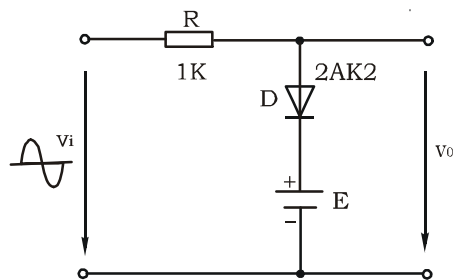


图 1-6 二极管限幅器

(3) 去掉 C_b ，在输出端接入负载电容 $C_L=30\text{PF}$ ，观察并记录输出波形的变化情况。

(4) 在输出端再并接一负载电阻 $R_L=1K\Omega$ ，观察并记录输出波形的变化情况。

(5) 去掉 R_L ，接入限幅二极管 D(2AK2)，观察并记录输出波形的变化情况。

3、二极管限幅器

按图 1-6 接线，输入 v_i 为 $f=10KHz$ ， $V_{pp}=4V$ 的正弦波信号，令 $E=2V$ ， $1V$ ， $0V$ ， $-1V$ ，观察输出波形 v_o ，并列表记录。

4、二极管箝位器

按图 1-7 接线， v_i 为 $f=10KHz$ 的方波信号(可用固定脉冲 $10KHz$)，令 $E=1V$ 、 $0V$ 、 $-1V$ 、 $-3V$ 、观察输出波形，并列表记录。

5、三极管限幅器

按图 1-8 接线， v_i 为正弦波， $f=10KHz$ ， V_{pp} 在 $0\sim 5V$ 范围连续可调，在不同的输入信号幅度下，观察输出波形 v_o 的变化情况，并列表记录。

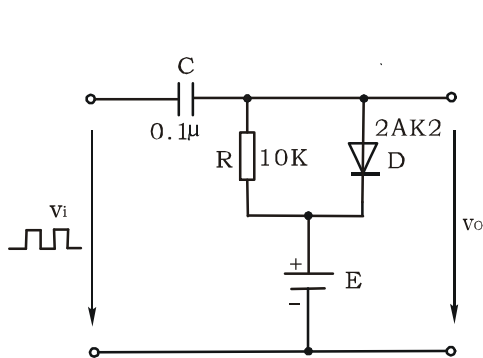


图 1-7 二极管箝位器

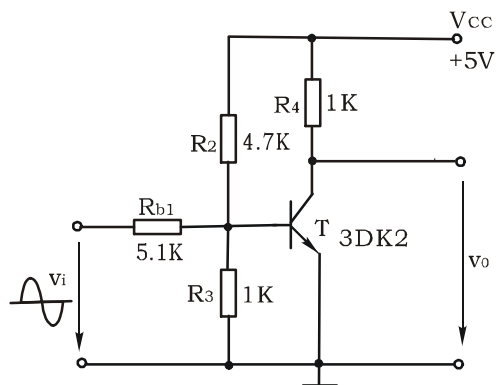


图 1-8 三极管限幅器

五、实验报告

- 1、将实验观测到的波形画在方格坐标纸上，并对它们进行分析和讨论。
- 2、总结外电路元件参数对二、三极管开关特性的影响。

六、实验预习要求

- 1、如何由 $+5V$ 和 $-5V$ 直流稳压电源获得 $+3V\sim -3V$ 连续可调的电源。
- 2、熟知二极管、三极管开关特性的表现及提高开关速度的方法。
- 3、在二极管箝位器和限幅器中，若将二极管的极性及偏压的极性反接，输出波形会出现什么变化？

实验二 TTL 集成逻辑门的逻辑功能与参数测试

一、实验目的

- 1、掌握 TTL 集成与非门的逻辑功能和主要参数的测试方法
- 2、掌握 TTL 器件的使用规则
- 3、进一步熟悉数字电路实验装置的结构，基本功能和使用方法

二、实验原理

本实验采用四输入双与非门 74LS20，即在一块集成块内含有两个互相独立的与非门，每个与非门有四个输入端。其逻辑框图、符号及引脚排列如图 2-1(a)、(b)、(c)所示。

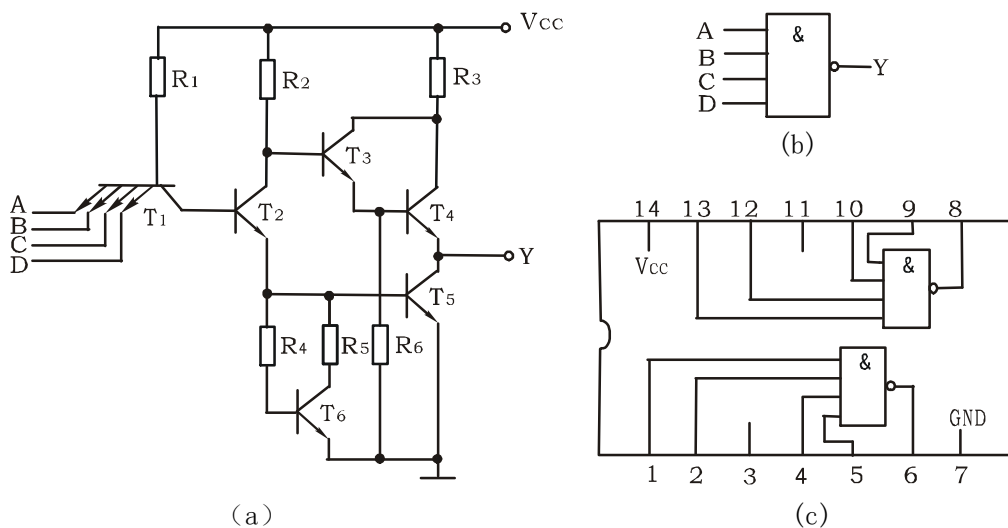


图 2-1 74LS20 逻辑框图、逻辑符号及引脚排列

1、与非门的逻辑功能

与非门的逻辑功能是：当输入端中有一个或一个以上是低电平时，输出端为高电平；只有当输入端全部为高电平时，输出端才是低电平（即有“0”得“1”，全“1”得“0”。）

其逻辑表达式为 $Y = \overline{AB\cdots}$

2、TTL 与非门的主要参数

(1) 低电平输出电源电流 I_{CCL} 和高电平输出电源电流 I_{CCH}

与非门处于不同的工作状态，电源提供的电流是不同的。 I_{CCL} 是指所有输入端悬空，输出端空载时，电源提供器件的电流。 I_{CCH} 是指输出端空载，每个门各有一个以上的输入端接地，其余输入端悬空，电源提供给器件的电流。通常 $I_{CCL} > I_{CCH}$ ，它们的大小标志着器件静态功耗的大小。器件的最大功耗为 $P_{CCL} = V_{CC} I_{CCL}$ 。手册中提供的电源电流和功耗值是指整个器件总的电源电流和总的功耗。 I_{CCL} 和 I_{CCH} 测试电路如图 2-2 (a)、(b) 所示。

[注意]：TTL 电路对电源电压要求较严，电源电压 V_{CC} 只允许在 $+5V \pm 10\%$ 的范围内工作，超过 5.5V 将损坏器件；低于 4.5V 器件的逻辑功能将不正常。

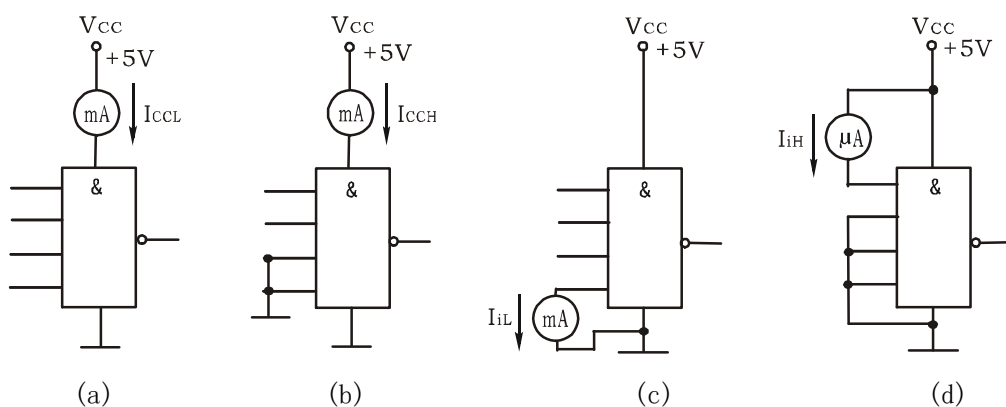


图 2-2 TTL 与非门静态参数测试电路图

(2) 低电平输入电流 I_{iL} 和高电平输入电流 I_{iH} 。 I_{iL} 是指被测输入端接地，其余输入端悬空，输出端空载时，由被测输入端流出的电流值。在多级门电路中， I_{iL} 相当于前级门输出低电平时，后级向前级门灌入的电流，因此它关系到前级门的灌电流负载能力，即直接影响前级门电路带负载的个数，因此希望 I_{iL} 小些。

I_{iH} 是指被测输入端接高电平，其余输入端接地，输出端空载时，流入被测输入端的电流值。在多级门电路中，它相当于前级门输出高电平时，前级门的拉电流负载，其大小关系到前级门的拉电流负载能力，希望 I_{iH} 小些。由于 I_{iH} 较小，难以测量，一般免于测试。

I_{iL} 与 I_{iH} 的测试电路如图 2-2(c)、(d) 所示。

(3) 扇出系数 N_0

扇出系数 N_0 是指门电路能驱动同类门的个数，它是衡量门电路负载能力的一个参数，TTL 与非门有两种不同性质的负载，即灌电流负载和拉电流负载，因此有两种扇出系数，即低电平扇出系数 N_{OL} 和高电平扇出系数 N_{OH} 。通常 $I_{iH} < I_{iL}$ ，则 $N_{OH} > N_{OL}$ ，故常以 N_{OL} 作为门的扇出系数。

N_{OL} 的测试电路如图 2-3 所示，门的输入端全部悬空，输出端接灌电流负载 R_L ，调节 R_L 使 I_{OL} 增大， V_{OL} 随之增高，当 V_{OL} 达到 V_{OLm} （手册中规定低电平规范值 0.4V）时的 I_{OL} 就是允许灌入的最大负载电流，则

$$N_{OL} = \frac{I_{OL}}{I_{iL}} \quad \text{通常 } N_{OL} \geq 8$$

(4) 电压传输特性

门的输出电压 v_o 随输入电压 v_i 而变化的曲线 $v_o = f(v_i)$ 称为门的电压传输特性，通过它可读得门电路的一些重要参数，如输出高电平 V_{OH} 、输出低电平 V_{OL} 、关门电平 V_{off} 、开门电平 V_{on} 、阈值电平 V_T 及抗干扰容限 V_{NL} 、 V_{NH} 等值。测试电路如图 2-4 所示，采用逐点测试法，即调节 R_w ，逐点测得 V_i 及 V_o ，然后绘成曲线。

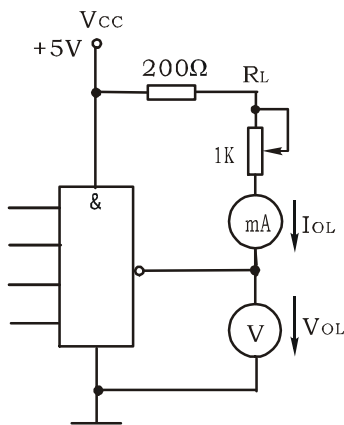


图 2-3 扇出系数试测电路

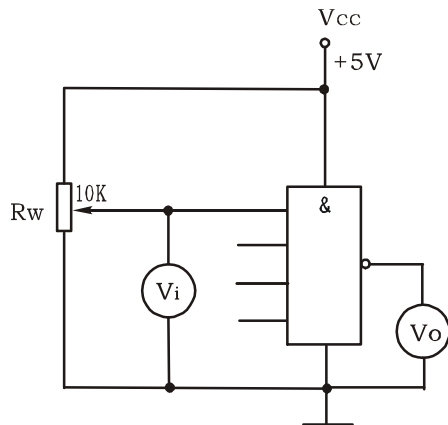


图 2-4 传输特性测试电路

(5) 平均传输延迟时间 t_{pd}

t_{pd} 是衡量门电路开关速度的参数, 它是指输出波形边沿的 $0.5V_m$ 至输入波形对应边沿 $0.5V_m$ 点的时间间隔, 如图 2-5 所示。

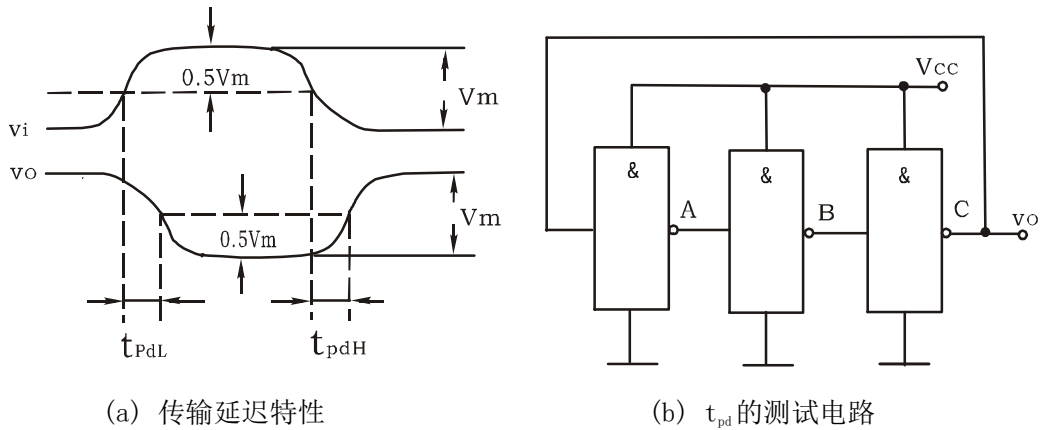


图 2-5

图 2-5(a) 中的 t_{pdL} 为导通延迟时间, t_{pdH} 为截止延迟时间, 平均传输延迟时间为

$$t_{pd} = \frac{1}{2}(t_{pdL} + t_{pdH})$$

t_{pd} 的测试电路如图 2-5(b) 所示, 由于 TTL 门电路的延迟时间较小, 直接测量时对信号发生器和示波器的性能要求较高, 故实验采用测量由奇数个与非门组成的环形振荡器的振荡周期 T 来求得。其工作原理是: 假设电路在接通电源后某一瞬间, 电路中的 A 点为逻辑“1”, 经过三级门的延迟后, 使 A 点由原来的逻辑“1”变为逻辑“0”; 再经过三级门的延迟后, A 点电平又重新回到逻辑“1”。电路中其它各点电平也跟随变化。说明使 A 点发生一个周期的振荡, 必须经过 6 级门的延迟时间。因此平均传输延迟时间为

$$t_{pd} = \frac{T}{6}$$

TTL 电路的 t_{pd} 一般在 $10\text{nS} \sim 40\text{nS}$ 之间。

74LS20 主要电参数规范如表 2-1 所示

表 2-1

参数名称和符号		规范值	单位	测试条件	
直流参数	通导电源电流	I_{CCL}	<14	mA	$V_{CC}=5V$, 输入端悬空, 输出端空载
	截止电源电流	I_{CCH}	<7	mA	$V_{CC}=5V$, 输入端接地, 输出端空载
	低电平输入电流	I_{iL}	≤ 1.4	mA	$V_{CC}=5V$, 被测输入端接地, 其他输入端悬空, 输出端空载
	高电平输入电流	I_{iH}	<50	μA	$V_{CC}=5V$, 被测输入端 $V_{in}=2.4V$, 其他输入端接地, 输出端空载。
			<1	mA	$V_{CC}=5V$, 被测输入端 $V_{in}=5V$, 其他输入端接地, 输出端空载。
	输出高电平	V_{OH}	≥ 3.4	V	$V_{CC}=5V$, 被测输入端 $V_{in}=0.8V$, 其他输入端悬空, $I_{OH}=400 \mu A$ 。
	输出低电平	V_{OL}	<0.3	V	$V_{CC}=5V$, 输入端 $V_{in}=2.0V$, $I_{OL}=12.8mA$ 。
扇出系数	N_0	4~8	V	同 V_{OH} 和 V_{OL}	
交流参数	平均传输延迟时间	t_{pd}	≤ 20	ns	$V_{CC}=5V$, 被测输入端输入信号: $V_{in}=3.0V$, $f=2MHz$ 。

三、实验设备与器件

- 1、+5V 直流电源
- 2、逻辑电平开关
- 3、逻辑电平显示器
- 4、直流数字电压表
- 5、直流毫安表
- 6、直流微安表
- 7、74LS20×2、1K、10K 电位器, 200 Ω 电阻器 (0.5W)

四、实验内容

在合适的位置选取一个 14P 插座, 按定位标记插好 74LS20 集成块。

- 1、验证 TTL 集成与非门 74LS20 的逻辑功能

按图 2-6 接线, 门的四个输入端接逻辑开关输出插口, 以提供“0”与“1”电平信号, 开关向上, 输出逻辑“1”, 向下为逻辑“0”。门的输出端接

由 LED 发光二极管组成的逻辑电平显示器（又称 0—1 指示器）的显示插口，LED 亮为逻辑“1”，不亮为逻辑“0”。按表 2—2 的真值表逐个测试集成块中两个与非门的逻辑功能。74LS20 有 4 个输入端，有 16 个最小项，在实际测试时，只要通过对输入 1111、0111、1011、1101、1110 五项进行检测就可判断其逻辑功能是否正常。

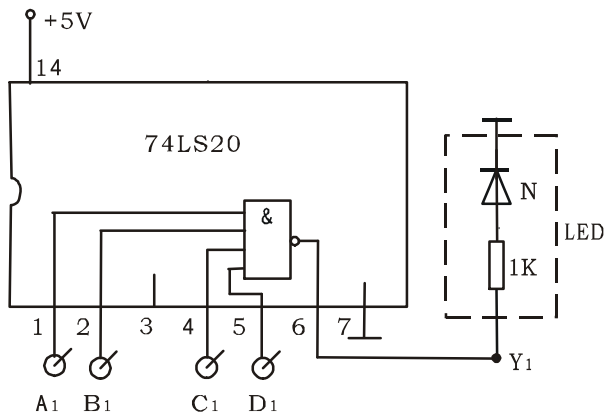


图2-6 与非门逻辑功能测试电路

表 2-2

输 入				输 出	
A _n	B _n	C _n	D _n	Y ₁	Y ₂
1	1	1	1		
0	1	1	1		
1	0	1	1		
1	1	0	1		
1	1	1	0		

2、74LS20 主要参数的测试

(1) 分别按图 2—2、2—3、2—5 (b) 接线并进行测试，将测试结果记入表 2—3 中。

表 2-3

I _{CCL}	I _{CCH}	I _{iL}	I _{oL}	$N_0 = \frac{I_{oL}}{I_{iL}}$	t _{pd} = T/6
(mA)	(mA)	(mA)	(mA)		(ns)

(2) 按图 2—4 接线，调节电位器 R_w，使 v_i 从 0V 向高电平变化，逐点测量 v_i 和 v_o 的对应值，记入表 2—4 中。

表 2-4

V_i (V)	0	0.2	0.4	0.6	0.8	1.0	1.5	2.0	2.5	3.0	3.5	4.0	...
V_o (V)													

五、实验报告

- 1、记录、整理实验结果，并对结果进行分析。
- 2、画出实测的电压传输特性曲线，并从中读出各有关参数值。

六、集成电路芯片简介

数字电路实验中所用到的集成芯片都是双列直插式的，其引脚排列规则如图 2-1 所示。识别方法是：正对集成电路型号（如 74LS20）或看标记（左边的缺口或小圆点标记），从左下角开始按逆时针方向以 1, 2, 3, ... 依次排列到最后一脚（在左上角）。在标准形 TTL 集成电路中，电源端 V_{CC} 一般排在左上端，接地端 GND 一般排在右下端。如 74LS20 为 14 脚芯片，14 脚为 V_{CC} ，7 脚为 GND。若集成芯片引脚上的功能标号为 NC，则表示该引脚为空脚，与内部电路不连接。

七、TTL 集成电路使用规则

- 1、接插集成块时，要认清定位标记，不得插反。
- 2、电源电压使用范围为 +4.5V ~ +5.5V 之间，实验中要求使用 $V_{CC} = +5V$ 。电源极性绝对不允许接错。

3、闲置输入端处理方法

(1) 悬空，相当于正逻辑“1”，对于一般小规模集成电路的数据输入端，实验时允许悬空处理。但易受外界干扰，导致电路的逻辑功能不正常。因此，对于接有长线的输入端，中规模以上的集成电路和使用集成电路较多的复杂电路，所有控制输入端必须按逻辑要求接入电路，不允许悬空。

(2) 直接接电源电压 V_{CC} （也可以串入一只 1~10K Ω 的固定电阻）或接至某一固定电压（+2.4V ≤ V ≤ 4.5V）的电源上，或与输入端为接地的多余与非门的输出端相接。

(3) 若前级驱动能力允许，可以与使用的输入端并联。

4、输入端通过电阻接地，电阻值的大小将直接影响电路所处的状态。当 $R \leq 680 \Omega$ 时，输入端相当于逻辑“0”；当 $R \geq 4.7 \text{ K}\Omega$ 时，输入端相当于逻辑“1”。对于不同系列的器件，要求的阻值不同。

5、输出端不允许并联使用（集电极开路门(OC)和三态输出门电路(3S)除外）。否则不仅会使电路逻辑功能混乱，并会导致器件损坏。

6、输出端不允许直接接地或直接接+5V电源，否则将损坏器件，有时为了使后级电路获得较高的输出电平，允许输出端通过电阻 R 接至 V_{cc} ，一般取 $R=3 \sim 5.1 \text{ K}\Omega$ 。

实验三 CMOS 集成逻辑门的逻辑功能与参数测试

一、实验目的

- 1、掌握 CMOS 集成门电路的逻辑功能和器件的使用规则
- 2、学会 CMOS 集成门电路主要参数的测试方法

二、实验原理

1、CMOS 集成电路是将 N 沟道 MOS 晶体管和 P 沟道 MOS 晶体管同时用于一个集成电路中，成为组合二种沟道 MOS 管性能的更优良的集成电路。CMOS 集成电路的主要优点是：

(1) 功耗低，其静态工作电流在 10^{-9} A 数量级，是目前所有数字集成电路中最低的，而 TTL 器件的功耗则大得多。

(2) 高输入阻抗，通常大于 10^{10} Ω ，远高于 TTL 器件的输入阻抗。

(3) 接近理想的传输特性，输出高电平可达电源电压的 99.9% 以上，低电平可达电源电压的 0.1% 以下，因此输出逻辑电平的摆幅很大，噪声容限很高。

(4) 电源电压范围广，可在 +3V~+18V 范围内正常运行。

(5) 由于有很高的输入阻抗，要求驱动电流很小，约 0.1 μ A，输出电流在 +5V 电源下约为 500 μ A，远小于 TTL 电路，如以此电流来驱动同类门电路，其扇出系数将非常大。在一般低频率时，无需考虑扇出系数，但在高频时，后级门的输入电容将成为主要负载，使其扇出能力下降，所以在较高频率工作时，CMOS 电路的扇出系数一般取 10~20。

2、CMOS 门电路逻辑功能

尽管 CMOS 与 TTL 电路内部结构不同，但它们的逻辑功能完全一样。本实验将测定与门 CC4081，或门 CC4071，与非门 CC4011，或非门 CC4001 的逻辑功能。各集成块的逻辑功能与真值表参阅教材及有关资料。

3、CMOS 与非门的主要参数

CMOS 与非门主要参数的定义及测试方法与 TTL 电路相仿，从略。

4、CMOS 电路的使用规则

由于 CMOS 电路有很高的输入阻抗，这给使用者带来一定的麻烦，即外来的干扰信号很容易在一些悬空的输入端上感应出很高的电压，以至损坏器件。

CMOS 电路的使用规则如下：

(1) V_{DD} 接电源正极， V_{SS} 接电源负极（通常接地 \perp ），不得接反。CC4000 系列的电源允许电压在 $+3\sim+18V$ 范围内选择，实验中一般要求使用 $+5\sim+15V$ 。

(2) 所有输入端一律不准悬空

闲置输入端的处理方法： a) 按照逻辑要求，直接接 V_{DD} （与非门）或 V_{SS} （或非门）。 b) 在工作频率不高的电路中，允许输入端并联使用。

(3) 输出端不允许直接与 V_{DD} 或 V_{SS} 连接，否则将导致器件损坏。

(4) 在装接电路，改变电路连接或插、拔电路时，均应切断电源，严禁带电操作。

(5) 焊接、测试和储存时的注意事项：

a、电路应存放在导电的容器内，有良好的静电屏蔽；

b、焊接时必须切断电源，电烙铁外壳必须良好接地，或拔下烙铁，靠其余热焊接；

c、所有的测试仪器必须良好接地；

三、实验设备与器件

1、+5V 直流电源

2、双踪示波器

3、连续脉冲源

4、逻辑电平开关

5、逻辑电平显示器

6、直流数字电压表

7、直流毫安表

8、直流微安表

9、CC4011、CC4001、CC4071、CC4081、电位器 100K、电阻 1K

四、实验内容

1、CMOS 与非门 CC4011 参数测试（方法与 TTL 电路相同）

(1)测试 CC4011 一个门的 I_{CCL} , I_{CCH} , I_{iL} , I_{iH}

(2)测试 CC4011 一个门的传输特性 (一个输入端作信号输入, 另一个输入端接逻辑高电平)

(3)将 CC4011 的三个门串接成振荡器, 用示波器观测输入、输出波形, 并计算出 t_{pd} 值。

2、验证 CMOS 各门电路的逻辑功能, 判断其好坏。

验证与非门 CC4011、与门 CC4081、或门 CC4071 及或非门 CC4001 逻辑功能, 其引脚见附录。

以 CC4011 为例: 测试时, 选好某一个 14P 插座, 插入被测器件, 其输入端 A、B 接逻辑开关的输出插口, 其输出端 Y 接至逻辑电平显示器输入插口, 拨动逻辑电平开关, 逐个测试各门的逻辑功能, 并记入表 3-1 中。

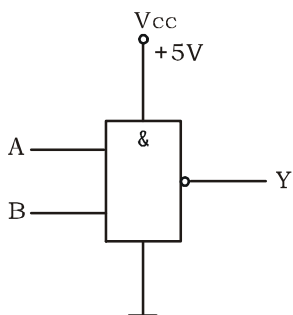


表 3-1

输 入		输 出			
A	B	Y_1	Y_2	Y_3	Y_4
0	0				
0	1				
1	0				
1	1				

图 3-1 与非门逻辑功能测试

3、观察与非门、与门、或非门对脉冲的控制作用。

选用与非门按图 3-2(a)、(b)接线, 将一个输入端接连续脉冲源 (频率为 20KHz), 用示波器观察两种电路的输出波形, 记录之。

然后测定“与门”和“或非门”对连续脉冲的控制作用。

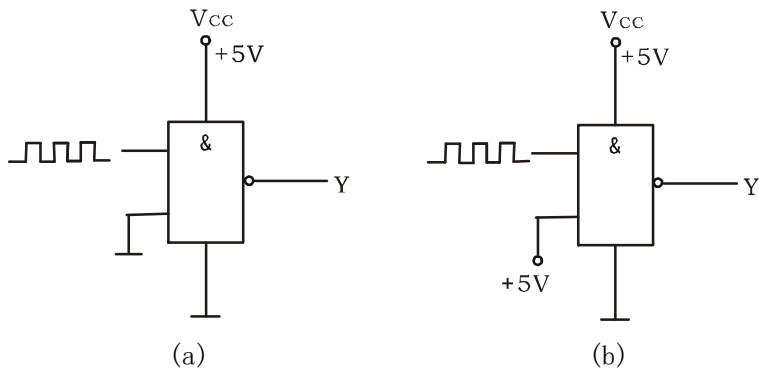


图 3-2 与非门对脉冲的控制作用

五、预习要求

- 1、复习 CMOS 门电路的工作原理
- 2、熟悉实验用各集成门引脚功能
- 3、画出各实验内容的测试电路与数据记录表格
- 4、画好实验用各门电路的真值表表格
- 5、各 CMOS 门电路闲置输入端如何处理？

六、实验报告

- 1、整理实验结果，用坐标纸画出传输特性曲线。
- 2、根据实验结果，写出各门电路的逻辑表达式，并判断被测电路的功能好坏。

实验四 集成逻辑电路的连接和驱动

一、实验目的

- 1、掌握 TTL、CMOS 集成电路输入电路与输出电路的性质。
- 2、掌握集成逻辑电路相互衔接时应遵守的规则和实际衔接方法。

二、实验原理

1、TTL 电路输入输出电路性质

当输入端为高电平时，输入电流是反向二极管的漏电流，电流极小。其方向是从外部流入输入端。

当输入端处于低电平时，电流由电源 V_{CC} 经内部电路流出输入端，电流较大，当与上一级电路衔接时，将决定上级电路应具的负载能力。高电平输出电压在负载不大时为 3.5V 左右。低电平输出时，允许后级电路灌入电流，随着灌入电流的增加，输出低电平将升高，一般 LS 系列 TTL 电路允许灌入 8mA 电流，即可吸收后级 20 个 LS 系列标准门的灌入电流。最大允许低电平输出电压为 0.4V。

2、CMOS 电路输入输出电路性质

一般 CC 系列的输入阻抗可高达 $10^{10} \Omega$ ，输入电容在 5pF 以下，输入高电平通常要求在 3.5V 以上，输入低电平通常为 1.5V 以下。因 CMOS 电路的输出结构具有对称性，故对高低电平具有相同的输出能力，负载能力较小，仅可驱动少量的 CMOS 电路。当输出端负载很轻时，输出高电平将十分接近电源电压；输出低电平时将十分接近地电位。

在高速 CMOS 电路 54/74HC 系列中的一个子系列 54/74HCT，其输入电平与 TTL 电路完全相同，因此在相互取代时，不需考虑电平的匹配问题。

3、集成逻辑电路的衔接

在实际的数字电路系统中总是将一定数量的集成逻辑电路按需要前后连接起来。这时，前级电路的输出将与后级电路的输入相连并驱动后级电路工

作。这就存在着电平的配合和负载能力这两个需要妥善解决的问题。

可用下列几个表达式来说明连接时所要满足的条件

$$V_{OH} \text{ (前级)} \geq V_{IH} \text{ (后级)}$$

$$V_{OL} \text{ (前级)} \leq V_{IL} \text{ (后级)}$$

$$I_{OH} \text{ (前级)} \geq n \times I_{IH} \text{ (后级)}$$

$$I_{OL} \text{ (前级)} \geq n \times I_{IL} \text{ (后级)} \quad n \text{ 为后级门的数目}$$

(1) TTL 与 TTL 的连接

TTL 集成逻辑电路的所有系列，由于电路结构形式相同，电平配合比较方便，不需要外接元件可直接连接，不足之处是受低电平时负载能力的限制。

表 4-1 列出了 74 系列 TTL 电路的扇出系数。

表 4-1

	74LS00	74ALS00	7400	74L00	74S00
74LS00	20	40	5	40	5
74ALS00	20	40	5	40	5
7400	40	80	10	40	10
74L00	10	20	2	20	1
74S00	50	100	12	100	12

(2) TTL 驱动 CMOS 电路

TTL 电路驱动 CMOS 电路时，由于 CMOS 电路的输入阻抗高，故此驱动电流一般不会受到限制，但在电平配合问题上，低电平是可以的，高电平时有困难，因为 TTL 电路在满载时，输出高电平通常低于 CMOS 电路对输入高电平的要求，因此为保证 TTL 输出高电平时，后级的 CMOS 电路能可靠工作，通常要外接一个提拉电阻 R，如图 4-1 所示，使输出高电平达到 3.5V 以上，R 的取值为 2~6.2K 较合适，这时 TTL 后级的 CMOS 电路的数目实际上是没有限制的。

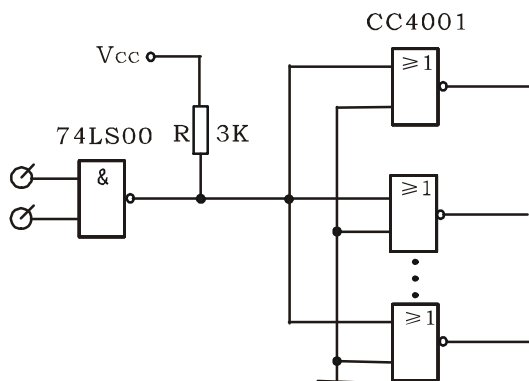


图 4-1 TTL 电路驱动 CMOS 电路

(3) CMOS 驱动 TTL 电路

CMOS 的输出电平能满足 TTL 对输入电平的要求，而驱动电流将受限制，主要是低电平时的负载能力。表 4-2 列出了一般 CMOS 电路驱动 TTL 电路时的扇出系数，从表中可见，除了 74HC 系列外的其它 CMOS 电路驱动 TTL 的能力都较低。

表 4-2

	LS-TTL	L-TTL	TTL	ASL-TTL
CC4001B 系列	1	2	0	2
MC14001B 系列	1	2	0	2
MM74HC 及 74HCT 系列	10	20	2	20

既要使用此系列又要提高其驱动能力时，可采用以下两种方法：

a、采用 CMOS 驱动器，如 CC4049、CC4050 是专为给出较大驱动能力而设计的 CMOS 电路。

b、几个同功能的 CMOS 电路并联使用，即将其输入端并联，输出端并联（TTL 电路是不允许并联的）。

(4) CMOS 与 CMOS 的衔接

CMOS 电路之间的连接十分方便，不需另加外接元件。对直流参数来讲，一个 CMOS 电路可带动的 CMOS 电路数量是不受限制，但在实际使用时，应当考虑后级门输入电容对前级门的传输速度的影响，电容太大时，传输速度要下降，因此在高速使用时要从负载电容来考虑，例如 CC4000T 系列。CMOS 电路在 10MHz 以上速度运用时应限制在 20 个门以下。

三、实验设备与器件

- | | | | |
|------------|----------|--------|------|
| 1、+5V 直流电源 | 2、逻辑电平开关 | | |
| 3、逻辑电平显示器 | 4、逻辑笔 | | |
| 5、直流数字电压表 | 6、直流毫安表 | | |
| 7、74LS00×2 | CC4001 | 74HC00 | |
| 电阻: | 100 Ω | 470 Ω | 3K Ω |
| 电位器: | 47K | 10K | 4.7K |

四、实验内容

1、测试 TTL 电路 74LS00 及 CMOS 电路 CC4001 的输出特性

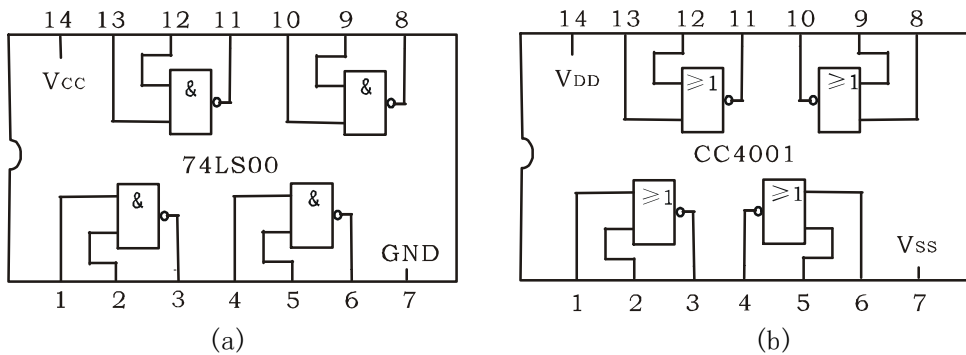


图 4-2 74LS00 与非门与 CC4001 或非门电路引脚排列

测试电路如图 4-3 所示，图中以与非门 74LS00 为例画出了高、低电平两种输出状态下输出特性的测量方法。改变电位器 R_w 的阻值，从而获得输出特性曲线， R 为限流电阻。

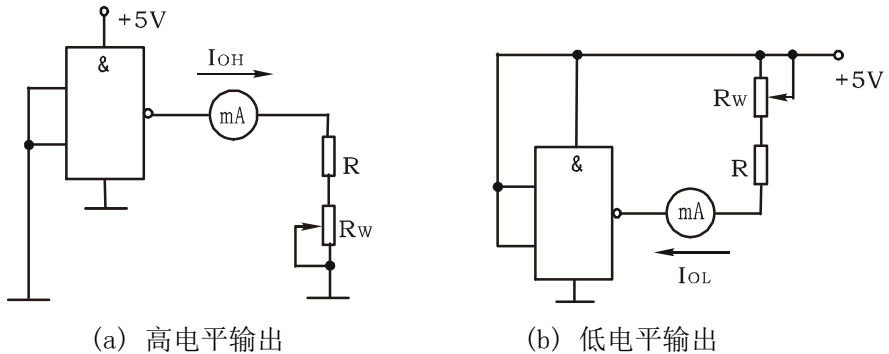


图 4-3 与非门电路输出特性测试电路

(1) 测试 TTL 电路 74LS00 的输出特性

在实验装置的合适位置选取一个 14P 插座。插入 74LS00， R_{w} 取为 $100\ \Omega$ ，高电平输出时， R_{w} 取 $47\text{K}\ \Omega$ ，低电平输出时， R_{w} 取 $10\text{K}\ \Omega$ ，高电平测试时应测量空载到最小允许高电平 (2.7V) 之间的一系列点；低电平测试时应测量空载到最大允许低电平 (0.4V) 之间的一系列点。

(2) 测试 CMOS 电路 CC4001 的输出特性

测试时 R 取为 $470\ \Omega$ ， R_{w} 取 $4.7\text{K}\ \Omega$

高电平测试时应测量从空载到输出电平降到 4.6V 为止的一系列点；低电平测试时应测量从空载到输出电平升到 0.4V 为止的一系列点。

2、TTL 电路驱动 CMOS 电路

用 74LS00 的一个门来驱动 CC4001 的四个门，实验电路如图 4-1， R 取 $3\text{K}\ \Omega$ 。测量连接 3K 与不连接 3K 电阻时 74LS00 的输出高低电平及 CC4001 的逻辑功能，测试逻辑功能时，可用实验装置上的逻辑笔进行测试，逻辑笔的电源 $+V_{\text{cc}}$ 接 $+5\text{V}$ ，其输入口 1NPVT 通过一根导线接至所需的测试点。

3、CMOS 电路驱动 TTL 电路，

电路如图 4-4 所示，被驱动的用 74LS00 的八个门并联。

电路的输入端接逻辑开关输出插口，八个输出端分别接逻辑电平显示的输入插口。先用 CC4001 的一个门来驱动，观测 CC4001 的输出电平和 74LS00 的逻辑功能。

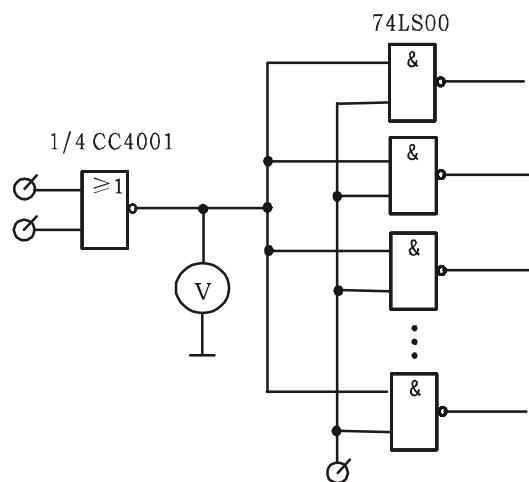


图 4-4 CMOS 驱动 TTL 电路

然后将 CC4001 的其余三个门，一个个并联到第一个门上（输入与输入，

输出与输出并联), 分别观察 CMOS 的输出电平及 74LS00 的逻辑功能。最后用 1/4 74HC00 代替 1/4 CC4001, 测试其输出电平及系统的逻辑功能。

五、预习要求

- 1、 自拟各实验记录用的数据表格, 及逻辑电平记录表格。
- 2、 熟悉所用集成电路的引脚功能。

六、实验报告

- 1、 整理实验数据, 作出输出特性曲线, 并加以分析。
- 2、 通过本次实验, 你对不同集成门电路的衔接得出什么结论?

实验五 组合逻辑电路的设计与测试

一、实验目的

掌握组合逻辑电路的设计与测试方法

二、实验原理

1、使用中、小规模集成电路来设计组合电路是最常见的逻辑电路。设计组合电路的一般步骤如图 5-1 所示。

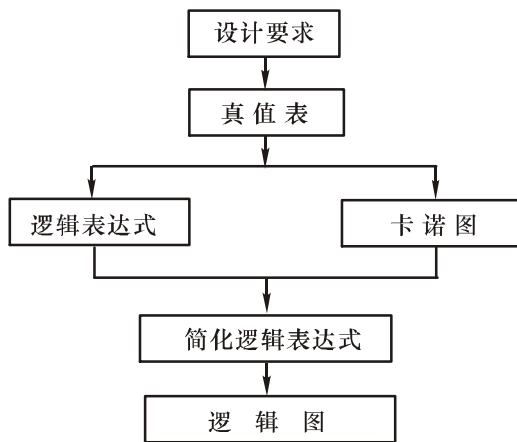


图 5-1 组合逻辑电路设计流程图

根据设计任务的要求建立输入、输出变量，并列出真值表。然后用逻辑代数或卡诺图化简法求出简化的逻辑表达式。并按实际选用逻辑门的类型修改逻辑表达式。根据简化后的逻辑表达式，画出逻辑图，用标准器件构成逻辑电路。最后，用实验来验证设计的正确性。

2、组合逻辑电路设计举例

用“与非”门设计一个表决电路。当四个输入端中有三个或四个为“1”时，输出端才为“1”。

设计步骤：根据题意列出真值表如表 5-1 所示，再填入卡诺图表 5-2 中。

表 5-1

D	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
A	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1
B	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
C	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
Z	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1

表 5-2

	DA	00	01	11	10
BC					
	00				
	01			1	
	11		1	1	1
	10			1	

由卡诺图得出逻辑表达式，并演化成“与非”的形式

$$\begin{aligned}
 Z &= ABC + BCD + ACD + ABD \\
 &= \overline{\overline{ABC} \cdot \overline{BCD} \cdot \overline{ACD} \cdot \overline{ABD}}
 \end{aligned}$$

根据逻辑表达式画出用“与非门”构成的逻辑电路如图 5-2 所示。

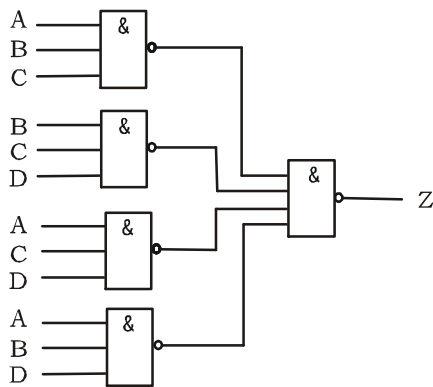


图 5-2 表决电路逻辑图

用实验验证逻辑功能

在实验装置适当位置选定三个 14P 插座，按照集成块定位标记插好集成块 74LS20(CC4012)。

按图 5-2 接线，输入端 A、B、C、D 接至逻辑开关输出插口，输出端 Z 接逻辑电平显示输入插口，按真值表（自拟）要求，逐次改变输入变量，测量相应的输出值，验证逻辑功能，与表 5-1 进行比较，验证所设计的逻辑电路是否符合要求。

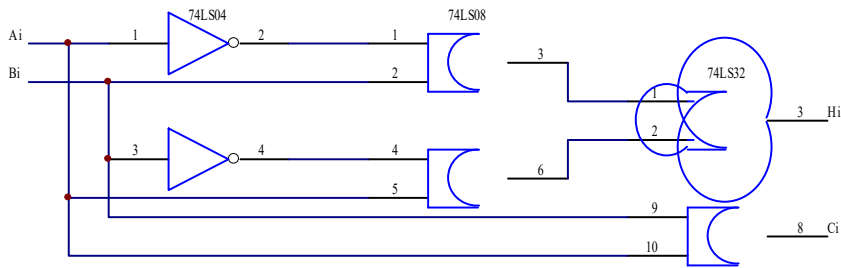
三、实验设备与器件

- | | | |
|----------------------|-------------------|-----------------|
| 1、 +5V 直流电源 | 2、 逻辑电平开关 | |
| 3、 逻辑电平显示器 | 4、 直流数字电压表 | |
| 4、 CC4011×2 (74LS00) | CC4012×3 (74LS20) | CC4030 (74LS86) |
| CC4081 (74LS08) | 74LS54×2(CC4085) | CC4001 (74LS02) |

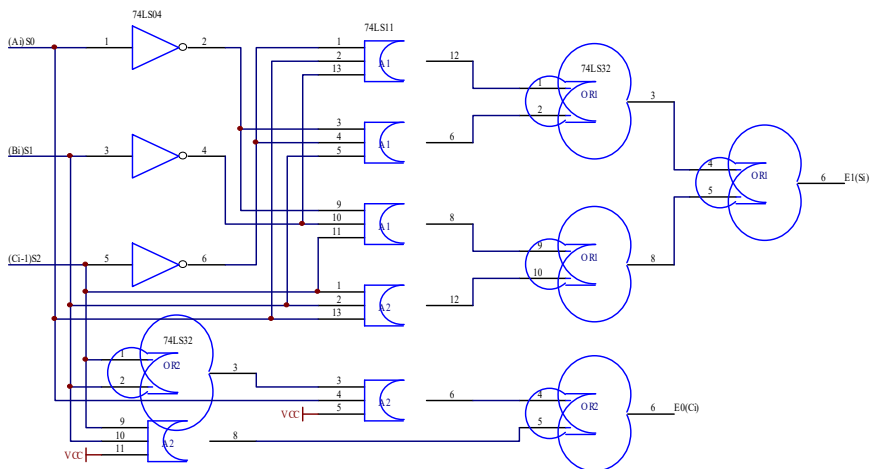
四、实验内容

- 1、设计用与非门及用异或门、与门组成的半加器电路。

要求按本文所述的设计步骤进行，直到测试电路逻辑功能符合设计为止。



- 2、设计一个一位全加器，要求用异或门、与门、或门组成。



3、设计一位全加器，要求用与或非门实现。

4、设计一个对两个两位无符号的二进制数进行比较的电路；根据第一个数是否大于、等于、小于第二个数，使相应的三个输出端中的一个输出为“1”，要求用与门、与非门及或非门实现。

五、实验预习要求

1、 根据实验任务要求设计组合电路，并根据所给的标准器件画出逻辑图。

2、 如何用最简单的方法验证“与或非”门的逻辑功能是否完好？

3、 “与或非”门中，当某一组与端不用时，应作如何处理？

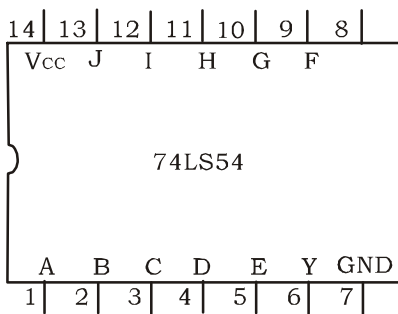
六、实验报告

1、 列写实验任务的设计过程，画出设计的电路图。

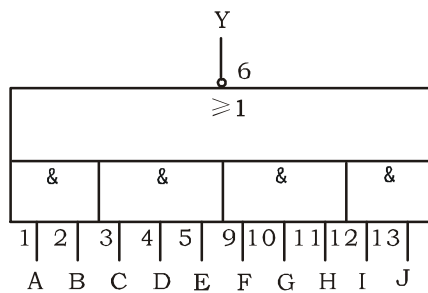
2、 对所设计的电路进行实验测试，记录测试结果。

3、 组合电路设计体会。

注：四路 2—3—3—2 输入与或非门 74LS54



引脚排列



逻辑图

逻辑表达式
$$Y = \overline{A \cdot B + C \cdot D + E + F \cdot G \cdot H + I \cdot J}$$

实验六 译码器及其应用

一、实验目的

- 1、掌握中规模集成译码器的逻辑功能和使用方法
- 2、熟悉数码管的使用

二、实验原理

译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”，变成相应的状态，使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据分配，存储器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。

译码器可分为通用译码器和显示译码器两大类。前者又分为变量译码器和代码变换译码器。

1、变量译码器（又称二进制译码器），用以表示输入变量的状态，如2线—4线、3线—8线和4线—16线译码器。若有 n 个输入变量，则有 2^n 个不同的组合状态，就有 2^n 个输出端供其使用。而每一个输出所代表的函数对应于 n 个输入变量的最小项。

以3线—8线译码器74LS138为例进行分析，图6-1(a)、(b)分别为其逻辑图及引脚排列。

其中 A_2 、 A_1 、 A_0 为地址输入端， $\bar{Y}_0 \sim \bar{Y}_7$ 为译码输出端， S_1 、 \bar{S}_2 、 \bar{S}_3 为使能端。

表6-1为74LS138功能表

当 $S_1=1$ ， $\bar{S}_2 + \bar{S}_3 = 0$ 时，器件使能，地址码所指定的输出端有信号（为0）输出，其它所有输出端均无信号（全为1）输出。当 $S_1=0$ ， $\bar{S}_2 + \bar{S}_3 = X$ 时，或 $S_1=X$ ， $\bar{S}_2 + \bar{S}_3 = 1$ 时，译码器被禁止，所有输出同时为1。

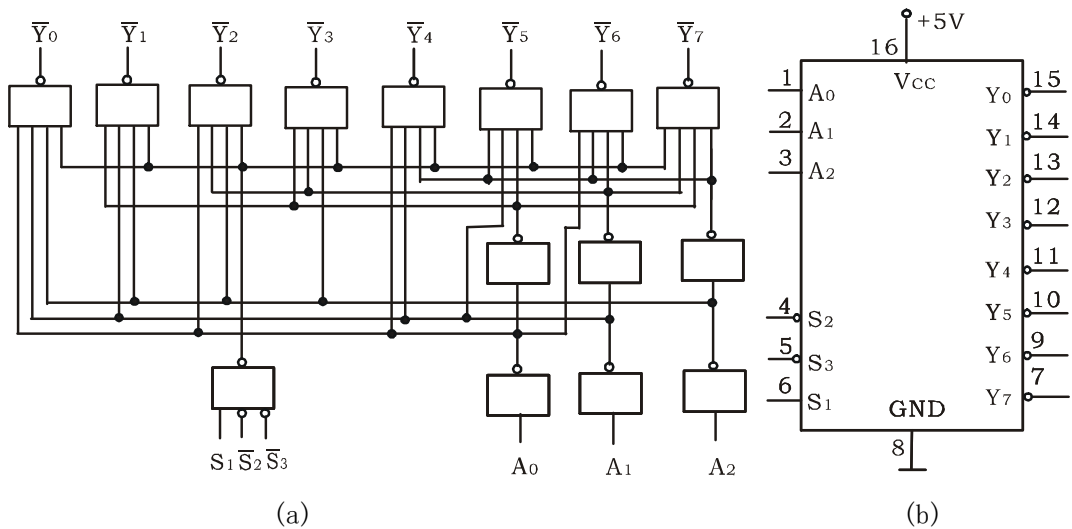


图 6-1 3-8 线译码器 74LS138 逻辑图及引脚排列

表 6-1

输 入					输 出							
S_1	$\bar{S}_2 + \bar{S}_3$	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1

二进制译码器实际上也是负脉冲输出的脉冲分配器。若利用使能端中的一个输入端输入数据信息，器件就成为一个数据分配器(又称多路分配器)，如

图 6-2 所示。若在 S_1 输入端输入数据信息， $\bar{S}_2 = \bar{S}_3 = 0$ ，地址码所对应的输出是 S_1 数据信息的反码；若从 \bar{S}_2 端输入数据信息，令 $S_1 = 1$ 、 $\bar{S}_3 = 0$ ，地址码所对应的输出就是 \bar{S}_2 端数据信息的原码。若数据信息是时钟脉冲，则数据分配器便成为时钟脉冲分配器。

根据输入地址的不同组合译出唯一地址，故可用作地址译码器。接成多路分配器，可将一个信号源的数据信息传输到不同的地点。

二进制译码器还能方便地实现逻辑函数，如图 6-3 所示，实现的逻辑函数是

$$Z = \overline{A}B\overline{C} + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

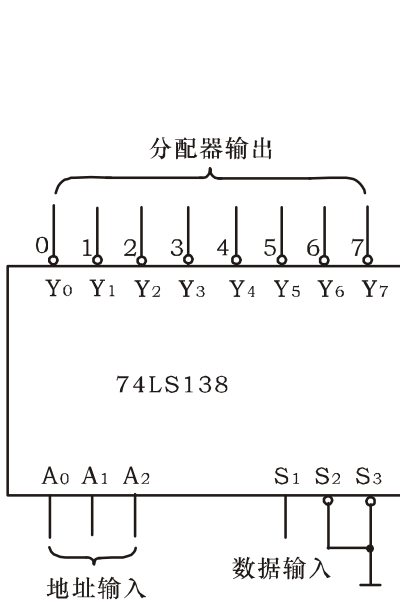


图 6-2 作数据分配器

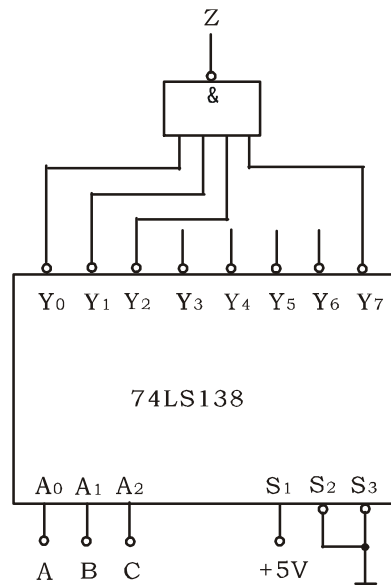


图 6-3 实现逻辑函数

利用使能端能方便地将两个 3/8 译码器组合成一个 4/16 译码器，如图 6-4 所示。

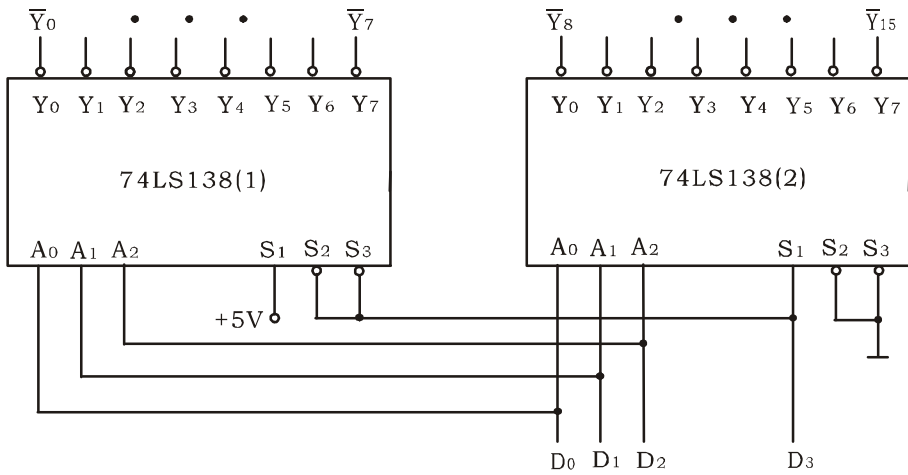


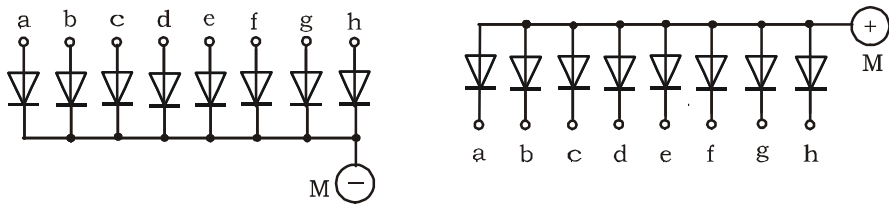
图 6-4 用两片 74LS138 组合成 4/16 译码器

2、数码显示译码器

a、七段发光二极管(LED)数码管

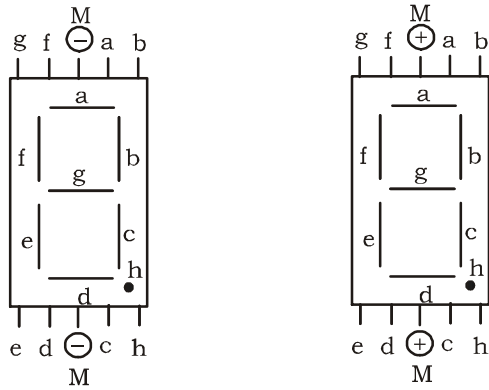
LED 数码管是目前最常用的数字显示器，图 6-5(a)、(b)为共阴管和共阳管的电路，(c)为两种不同出线形式的引出脚功能图。

一个 LED 数码管可用来显示一位 0~9 十进制数和一个小数点。小型数码管（0.5 寸和 0.36 寸）每段发光二极管的正向压降，随显示光（通常为红、绿、黄、橙色）的颜色不同略有差别，通常约为 2~2.5V，每个发光二极管的点亮电流在 5~10mA。LED 数码管要显示 BCD 码所表示的十进制数字就需要有一个专门的译码器，该译码器不但要完成译码功能，还要有相当的驱动能力。



(a) 共阴连接（“1”电平驱动）

(b) 共阳连接（“0”电平驱动）



(c) 符号及引脚功能

图 6-5 LED 数码管

b、BCD 码七段译码驱动器

此类译码器型号有 74LS47（共阳），74LS48（共阴），CC4511（共阴）等，本实验系采用 CC4511 BCD 码锁存 / 七段译码 / 驱动器。驱动共阴极 LED 数码管。

图 6-6 为 CC4511 引脚排列

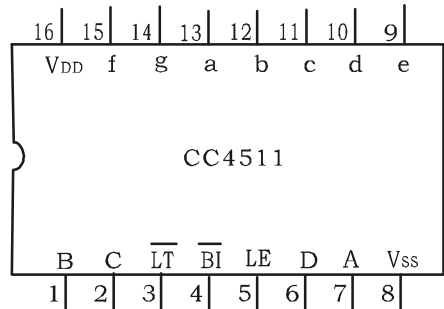


图 6-6 CC4511 引脚排列

其中

A、B、C、D — BCD 码输入端

a、b、c、d、e、f、g — 译码输出端，输出“1”有效，用来驱动共阴极 LED 数码管。

\overline{LT} — 测试输入端， $\overline{LT} = “0”$ 时，译码输出全为“1”

\overline{BI} — 消隐输入端， $\overline{BI} = “0”$ 时，译码输出全为“0”

LE — 锁定端，LE = “1” 时译码器处于锁定（保持）状态，译码输出保持在 LE=0 时的数值，LE=0 为正常译码。

表 6-2 为 CC4511 功能表。CC4511 内接有上拉电阻，故只需在输出端与数码管笔段之间串入限流电阻即可工作。译码器还有拒伪码功能，当输入码超过 1001 时，输出全为“0”，数码管熄灭。

表 6-2

输 入							输 出							
LE	\overline{BI}	\overline{LT}	D	C	B	A	a	b	c	d	e	f	g	显示字形
×	×	0	×	×	×	×	1	1	1	1	1	1	1	8
×	0	1	×	×	×	×	0	0	0	0	0	0	0	消隐
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	消隐
0	1	1	1	0	1	1	0	0	0	0	0	0	0	消隐
0	1	1	1	1	0	0	0	0	0	0	0	0	0	消隐
0	1	1	1	1	0	1	0	0	0	0	0	0	0	消隐
0	1	1	1	1	1	0	0	0	0	0	0	0	0	消隐
0	1	1	1	1	1	1	0	0	0	0	0	0	0	消隐
1	1	1	×	×	×	×	锁 存							锁存

在本数字电路实验装置上已完成了译码器 CC4511 和数码管 BS202 之间的连接。实验时，只要接通+5V 电源和将十进制数的 BCD 码接至译码器的相应输入端 A、B、C、D 即可显示 0~9 的数字。四位数码管可接受四组 BCD 码输入。CC4511 与 LED 数码管的连接如图 6-7 所示。

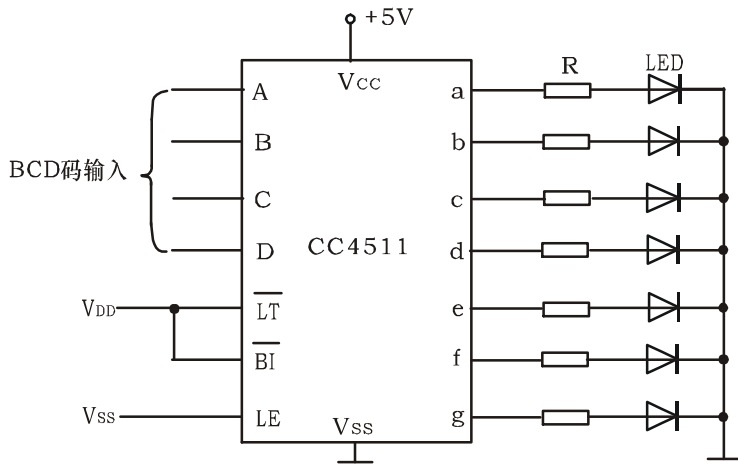


图 6-7 CC4511 驱动一位 LED 数码管

三、实验设备与器件

- | | |
|-------------|----------|
| 1、+5V 直流电源 | 2、双踪示波器 |
| 3、连续脉冲源 | 4、逻辑电平开关 |
| 5、逻辑电平显示器 | 6、拨码开关组 |
| 8、译码显示器 | |
| 9、74LS138×2 | CC4511 |

四、实验内容

- 1、数据拨码开关的使用。

将实验装置上的四组拨码开关的输出 A_i 、 B_i 、 C_i 、 D_i 分别接至 4 组显示译码 / 驱动器 CC4511 的对应输入口，LE、 \overline{BI} 、 \overline{LT} 接至三个逻辑开关的输出插口，接上+5V 显示器的电源，然后按功能表 6-2 输入的要求掀动四个数码

的增减键（“+”与“-”键）和操作与 \overline{LE} 、 \overline{BI} 、 \overline{LT} 对应的三个逻辑开关，观测拨码盘上的四位数与 LED 数码管显示的对应数字是否一致，及译码显示是否正常。

2、74LS138 译码器逻辑功能测试

将译码器使能端 S_1 、 \overline{S}_2 、 \overline{S}_3 及地址端 A_2 、 A_1 、 A_0 分别接至逻辑电平开关输出口，八个输出端 $\overline{Y}_7 \cdots \overline{Y}_0$ 依次连接在逻辑电平显示器的八个输入口上，拨动逻辑电平开关，按表 6-1 逐项测试 74LS138 的逻辑功能。

3、用 74LS138 构成时序脉冲分配器

参照图 6-2 和实验原理说明，时钟脉冲 CP 频率约为 10KHz，要求分配器输出端 $\overline{Y}_0 \cdots \overline{Y}_7$ 的信号与 CP 输入信号同相。

画出分配器的实验电路，用示波器观察和记录在地址端 A_2 、 A_1 、 A_0 分别取 000~111 8 种不同状态时 $\overline{Y}_0 \cdots \overline{Y}_7$ 端的输出波形，注意输出波形与 CP 输入波形之间的相位关系。

4、（选做）用两片 74LS138 组合成一个 4 线—16 线译码器，并进行实验。

五、实验预习要求

- 1、复习有关译码器和分配器的原理。
- 2、根据实验任务，画出所需的实验线路及记录表格。

六、实验报告

- 1、画出实验线路，把观察到的波形画在坐标纸上，并标上对应的地址码。
- 2、对实验结果进行分析、讨论。

实验七 数据选择器及其应用

一、实验目的

- 1、掌握中规模集成数据选择器的逻辑功能及使用方法
- 2、学习用数据选择器构成组合逻辑电路的方法

二、实验原理

数据选择器又叫“多路开关”。数据选择器在地址码（或叫选择控制）电平的控制下，从几个数据输入中选择一个并将其送到一个公共的输出端。数据选择器的功能类似一个多掷开关，如图 7-1 所示，图中有四路数据 $D_0 \sim D_3$ ，通过选择控制信号 A_1 、 A_0 （地址码）从四路数据中选中某一路数据送至输出端 Q 。

数据选择器为目前逻辑设计中应用十分广泛的逻辑部件，它有 2 选 1、4 选 1、8 选 1、16 选 1 等类别。

数据选择器的电路结构一般由与或门阵列组成，也有用传输门开关和门电路混合而成的。

1、八选一数据选择器 74LS151

74LS151 为互补输出的 8 选 1 数据选择器，引脚排列如图 7-2，功能如表 7-1。

选择控制端（地址端）为 $A_2 \sim A_0$ ，按二进制译码，从 8 个输入数据 $D_0 \sim D_7$ 中，选择一个需要的数据送到输出端 Q ， \bar{S} 为使能端，低电平有效。

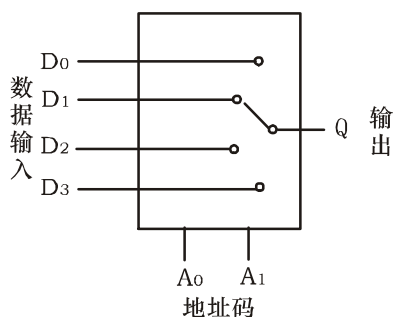


图 7-1 4 选 1 数据选择器示意图

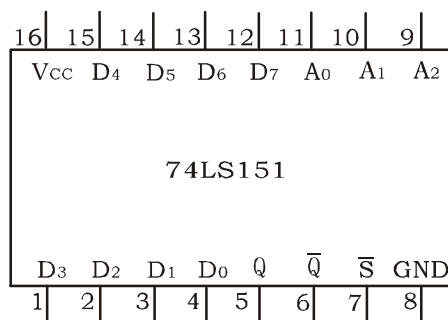


图 7-2 74LS151 引脚排列

表 7-1

输 入				输 出	
\bar{S}	A_2	A_1	A_0	Q	\bar{Q}
1	×	×	×	0	1
0	0	0	0	D_0	\bar{D}_0
0	0	0	1	D_1	\bar{D}_1
0	0	1	0	D_2	\bar{D}_2
0	0	1	1	D_3	\bar{D}_3
0	1	0	0	D_4	\bar{D}_4
0	1	0	1	D_5	\bar{D}_5
0	1	1	0	D_6	\bar{D}_6
0	1	1	1	D_7	\bar{D}_7

1) 使能端 $\bar{S}=1$ 时, 不论 $A_2\sim A_0$ 状态如何, 均无输出($Q=0, \bar{Q}=1$), 多路开关被禁止。

2) 使能端 $\bar{S}=0$ 时, 多路开关正常工作, 根据地址码 $A_2、A_1、A_0$ 的状态选择 $D_0\sim D_7$ 中某一个通道的数据输送到输出端Q。

如: $A_2A_1A_0=000$, 则选择 D_0 数据到输出端, 即 $Q=D_0$ 。

如: $A_2A_1A_0=001$, 则选择 D_1 数据到输出端, 即 $Q=D_1$, 其余类推。

2、双四选一数据选择器 74LS153

所谓双 4 选 1 数据选择器就是在一块集成芯片上有两个 4 选 1 数据选择器。引脚排列如图 7-3, 功能如表 7-2。

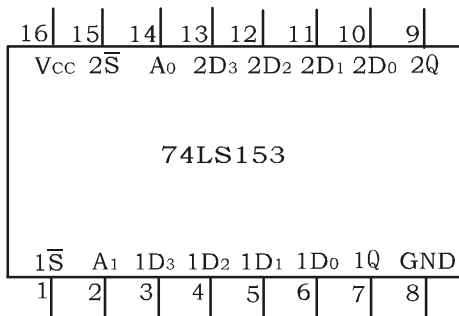


表 7-2

输 入			输 出
\bar{S}	A_1	A_0	Q
1	×	×	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

图 7-3 74LS153 引脚功能

$1\bar{S}$ 、 $2\bar{S}$ 为两个独立的使能端； A_1 、 A_0 为公用的地址输入端； $1D_0\sim 1D_3$ 和 $2D_0\sim 2D_3$ 分别为两个4选1数据选择器的数据输入端； Q_1 、 Q_2 为两个输出端。

1) 当使能端 $1\bar{S}$ ($2\bar{S}$) = 1 时，多路开关被禁止，无输出， $Q=0$ 。

2) 当使能端 $1\bar{S}$ ($2\bar{S}$) = 0 时，多路开关正常工作，根据地址码 A_1 、 A_0 的状态，将相应的数据 $D_0\sim D_3$ 送到输出端 Q 。

如： $A_1A_0=00$ 则选择 D_0 数据到输出端，即 $Q=D_0$ 。

$A_1A_0=01$ 则选择 D_1 数据到输出端，即 $Q=D_1$ ，其余类推。

数据选择器的用途很多，例如多通道传输，数码比较，并行码变串行码，以及实现逻辑函数等。

3、数据选择器的应用—实现逻辑函数

例 1：用 8 选 1 数据选择器 74LS151 实现函数

$$F = A\bar{B} + \bar{A}C + B\bar{C}$$

采用 8 选 1 数据选择器 74LS151 可实现任意三输入变量的组合逻辑函数。

作出函数 F 的功能表，如表 7-3 所示，将函数 F 功能表与 8 选 1 数据选择器的功能表相比较，可知（1）将输入变量 C 、 B 、 A 作为 8 选 1 数据选择器的地址码 A_2 、 A_1 、 A_0 。（2）使 8 选 1 数据选择器的各数据输入 $D_0\sim D_7$ 分别与函数 F 的输出值一一相对应。

表 7-3

输 入			输 出
C	B	A	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

即： $A_2A_1A_0=CBA$ ，

$$D_0=D_7=0$$

$$D_1=D_2=D_3=D_4=D_5=D_6=1$$

则 8 选 1 数据选择器的输出 Q 便实现

了函数 $F = A\bar{B} + \bar{A}C + B\bar{C}$

接线图如图 7-4 所示。

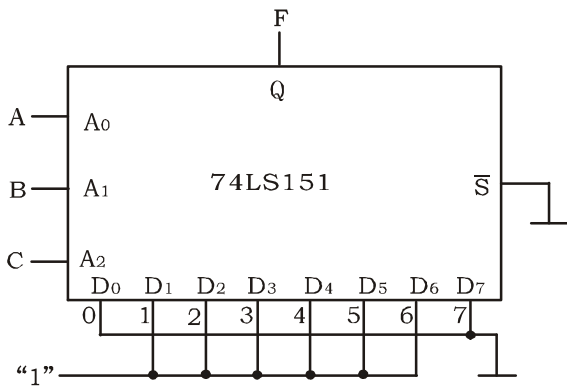


图 7-4 用 8 选 1 数据选择器实现 $F = \overline{A}\overline{B} + \overline{A}C + B\overline{C}$

显然，采用具有 n 个地址端的数据选择实现 n 变量的逻辑函数时，应将函数的输入变量加到数据选择器的地址端(A)，选择器的数据输入端(D)按次序以函数 F 输出值来赋值。

例 2：用 8 选 1 数据选择器 74LS151 实现函数 $F = \overline{A}\overline{B} + \overline{A}B$

(1) 列出函数 F 的功能表如表 7-4 所示。

(2) 将 A 、 B 加到地址端 A_1 、 A_0 ，而 A_2 接地，由表 7-4 可见，将 D_1 、 D_2 接“1”及 D_0 、 D_3 接地，其余数据输入端 $D_4 \sim D_7$ 都接地，则 8 选 1 数据选择器的输出 Q ，便实现了函数 $F = \overline{A}\overline{B} + \overline{A}B$

接线图如图 7-5 所示。

表 7-4

B	A	F
0	0	0
0	1	1
1	0	1
1	1	0

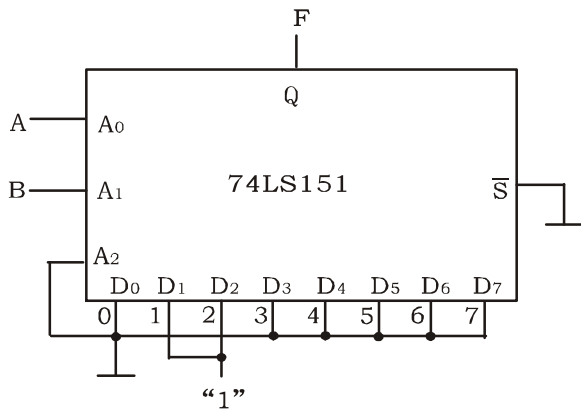


图 7-5 8 选 1 数据选择器实现 $F = \overline{A}\overline{B} + \overline{A}B$ 的接线图

显然，当函数输入变量数小于数据选择器的地址端（A）时，应将不用的地址端及不用的数据输入端（D）都接地。

例 3：用 4 选 1 数据选择器 74LS153 实现函数

$$F = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

函数 F 的功能如表 7-5 所示

表 7-5

输入			输出
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

表 7-6

输入			输出	中选数据端
A	B	C	F	
0	0	0	0	$D_0=0$
0	1	0	0	$D_1=C$
1	0	0	0	$D_2=C$
1	1	0	1	$D_3=1$

函数 F 有三个输入变量 A、B、C，而数据选择器有两个地址端 A_1 、 A_0 少于函数输入变量个数，在设计时可任选 A 接 A_1 ，B 接 A_0 。将函数功能表改画成 7-6 形式，可见当将输入变量 A、B、C 中 A、B 接选择器的地址端 A_1 、 A_0 ，由表 7-6 不难看出：

$$D_0=0, \quad D_1=D_2=C, \quad D_3=1$$

则 4 选 1 数据选择器的输出，便实现了函数 $F = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$ 接线图如图 7-6 所示。

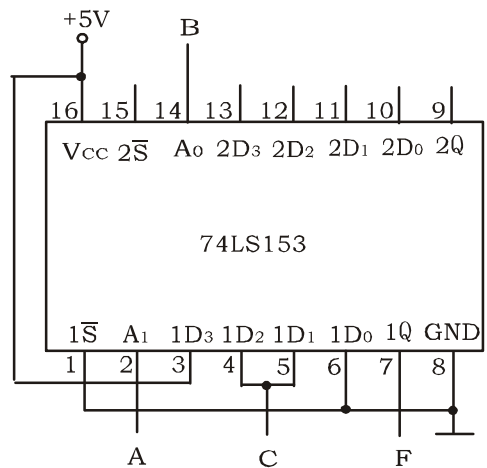


图 7-6 用 4 选 1 数据选择器实现 $F = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$

当函数输入变量大于数据选择器地址端（A）时，可能随着选用函数输入变量作地址的方案不同，而使其设计结果不同，需对几种方案比较，以获得最佳方案。

三、实验设备与器件

- 1、+5V 直流电源
- 2、逻辑电平开关
- 3、逻辑电平显示器
- 4、74LS151（或 CC4512）
- 74LS153（或 CC4539）

四、实验内容

- 1、测试数据选择器 74LS151 的逻辑功能

接图 7—7 接线，地址端 A_2 、 A_1 、 A_0 、数据端 $D_0 \sim D_7$ 、使能端 \bar{S} 接逻辑开关，输出端 Q 接逻辑电平显示器，按 74LS151 功能表逐项进行测试，记录测试结果。

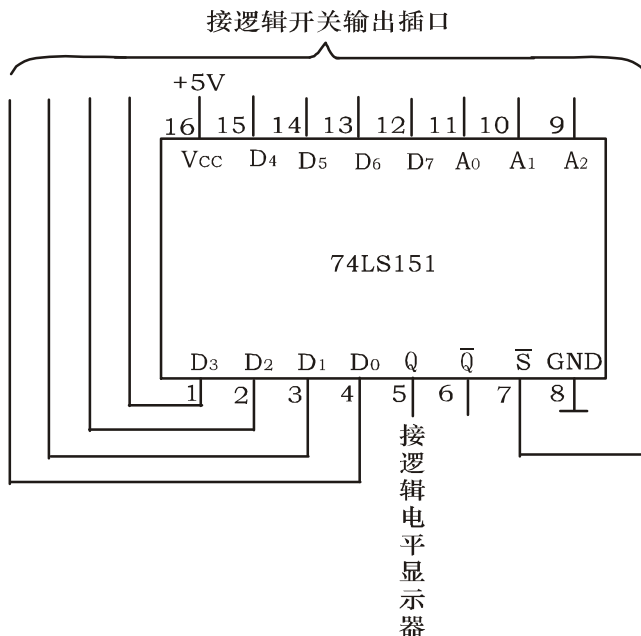


图 7—7 74LS151 逻辑功能测试

- 2、测试 74LS153 的逻辑功能

测试方法及步骤同上，记录之。

3、(选做, 自行设计) 用 8 选 1 数据选择器 74LS151 设计三输入多数表决电路

1) 写出设计过程

2) 画出接线图

3) 验证逻辑功能

4、(选做, 自行设计) 用 8 选 1 数据选择器实现逻辑函数

1) 写出设计过程

2) 画出接线图

3) 验证逻辑功能

5、(选做, 自行设计) 用双 4 选 1 数据选择器 74LS153 实现全加器

1) 写出设计过程

2) 画出接线图

3) 验证逻辑功能

五、预习内容

1、复习数据选择器的工作原理;

2、用数据选择器对实验内容中各函数式进行预设计;

六、实验报告

用数据选择器对实验内容进行设计、写出设计全过程、画出接线图、进行逻辑功能测试; 总结实验收获、体会。

实验八 触发器及其应用

一、实验目的

- 1、掌握基本 RS、JK、D 和 T 触发器的逻辑功能
- 2、掌握集成触发器的逻辑功能及使用方法
- 3、熟悉触发器之间相互转换的方法

二、实验原理

触发器具有两个稳定状态，用以表示逻辑状态“1”和“0”，在一定的外界信号作用下，可以从一个稳定状态翻转到另一个稳定状态，它是一个具有记忆功能的二进制信息存贮器件，是构成各种时序电路的最基本逻辑单元。

1、基本 RS 触发器

图 8-1 为由两个与非门交叉耦合构成的基本 RS 触发器，它是无时钟控制低电平直接触发的触发器。基本 RS 触发器具有置“0”、置“1”和“保持”三种功能。通常称 \bar{S} 为置“1”端，因为 $\bar{S}=0$ ($\bar{R}=1$) 时触发器被置“1”； \bar{R} 为置“0”端，因为 $\bar{R}=0$ ($\bar{S}=1$) 时触发器被置“0”，当 $\bar{S}=\bar{R}=1$ 时状态保持； $\bar{S}=\bar{R}=0$ 时，触发器状态不定，应避免此种情况发生，表 9-1 为基本 RS 触发器的功能表。

基本 RS 触发器。也可以用两个“或非门”组成，此时为高电平触发有效。

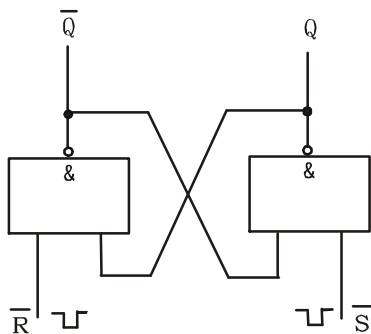


图 8-1 基本RS触发器

表 8-1

输 入		输 出	
\bar{S}	\bar{R}	Q^{n+1}	\bar{Q}^{n+1}
0	1	1	0
1	0	0	1
1	1	Q^n	\bar{Q}^n
0	0	ϕ	ϕ

2、JK 触发器

在输入信号为双端的情况下，JK 触发器是功能完善、使用灵活和通用性较强的一种

触发器。本实验采用 74LS112 双 JK 触发器，是下降边沿触发的边沿触发器。引脚功能及逻辑符号如图 8-2 所示。

JK 触发器的状态方程为

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

J 和 K 是数据输入端，是触发器状态更新的依据，若 J、K 有两个或两个以上输入端时，组成“与”的关系。 Q 与 \bar{Q} 为两个互补输出端。通常把 $Q=0$ 、 $\bar{Q}=1$ 的状态定为触发器“0”状态；而把 $Q=1$ 、 $\bar{Q}=0$ 定为“1”状态。

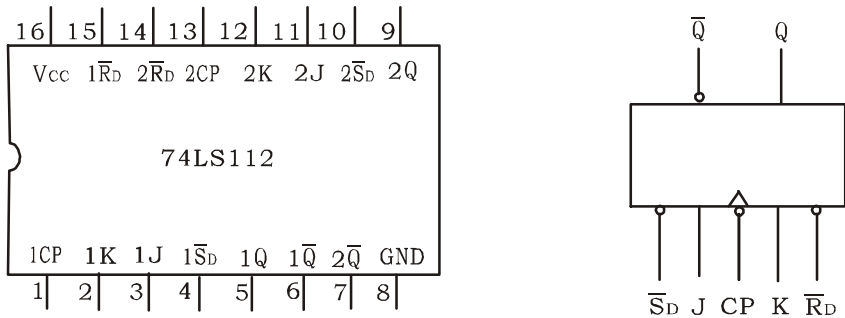


图 8-2 74LS112 双 JK 触发器引脚排列及逻辑符号

下降沿触发 JK 触发器的功能如表 8-2

表 8-2

输 入					输 出	
\bar{S}_D	\bar{R}_D	CP	J	K	Q^{n+1}	\bar{Q}^{n+1}
0	1	×	×	×	1	0
1	0	×	×	×	0	1
0	0	×	×	×	ϕ	ϕ
1	1	↓	0	0	Q^n	\bar{Q}^n
1	1	↓	1	0	1	0
1	1	↓	0	1	0	1
1	1	↓	1	1	\bar{Q}^n	Q^n
1	1	↑	×	×	Q^n	\bar{Q}^n

注：×— 任意态 ↓— 高到低电平跳变 ↑— 低到高水平跳变

$Q^n (\bar{Q}^n)$ — 现态 $Q^{n+1} (\bar{Q}^{n+1})$ — 次态 ϕ — 不定态

JK 触发器常被用作缓冲存储器，移位寄存器和计数器。

3、D 触发器

在输入信号为单端的情况下，D 触发器用起来最为方便，其状态方程为

$Q^{n+1} = D^n$ ，其输出状态的更新发生在 CP 脉冲的上升沿，故又称为上升沿触发的边沿触发

器，触发器的状态只取决于时钟到来前 D 端的状态，D 触发器的应用很广，可用作数字信号的寄存，移位寄存，分频和波形发生等。有很多种型号可供各种用途的需要而选用。

如双 D 74LS74、四 D 74LS175、六 D 74LS174 等。

图 8-3 为双 D 74LS74 的引脚排列及逻辑符号。功能如表 8-3。

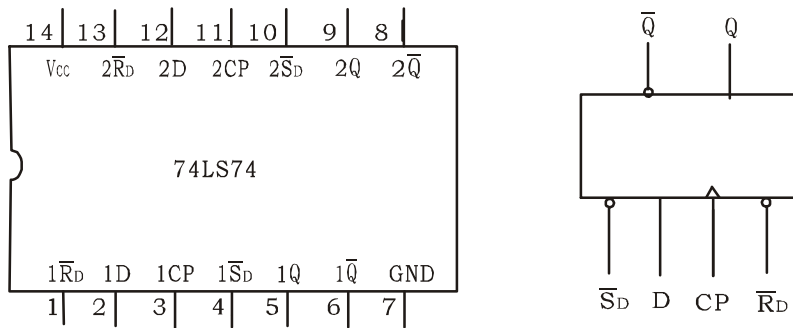


图 8-3 74LS74 引脚排列及逻辑符号

表 8-3

输 入				输 出	
\bar{S}_D	\bar{R}_D	CP	D	Q^{n+1}	\bar{Q}^{n+1}
0	1	×	×	1	0
1	0	×	×	0	1
0	0	×	×	ϕ	ϕ
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	↓	×	Q^n	\bar{Q}^n

表 8-4

输 入				输出
\bar{S}_D	\bar{R}_D	CP	T	Q^{n+1}
0	1	×	×	1
1	0	×	×	0
1	1	↓	0	Q^n
1	1	↓	1	\bar{Q}^n

4、触发器之间的相互转换

在集成触发器的产品中，每一种触发器都有自己固定的逻辑功能。但可以利用转换的方法获得具有其它功能的触发器。例如将 JK 触发器的 J、k 两端连在一起，并认它为 T 端，就得到所需的 T 触发器。如图 8-4(a)所示，其状态方程为： $Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$

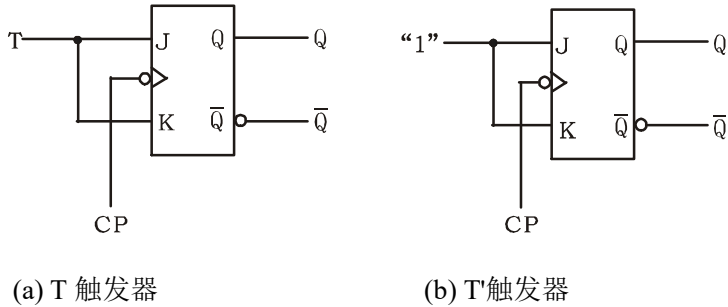


图 8-4 JK 触发器转换为 T、T'触发器

T 触发器的功能如表 8-4。

由功能表可见，当 $T=0$ 时，时钟脉冲作用后，其状态保持不变；当 $T=1$ 时，时钟脉冲作用后，触发器状态翻转。所以，若将 T 触发器的 T 端置“1”，如图 8-4(b)所示，即得 T'触发器。在 T'触发器的 CP 端每来一个 CP 脉冲信号，触发器的状态就翻转一次，故称之为反转触发器，广泛用于计数电路中。

同样，若将 D 触发器 \bar{Q} 端与 D 端相连，便转换成 T'触发器。如图 8-5 所示。

JK 触发器也可转换为 D 触发器，如图 8-6。

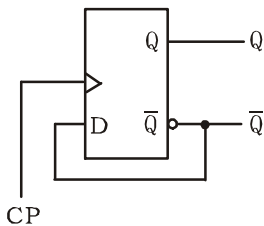


图 8-5 D 转成 T'

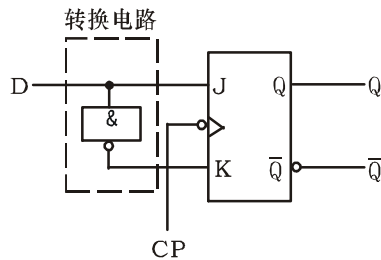


图 8-6 JK 转成 D

5、CMOS 触发器

(1) CMOS 边沿型 D 触发器

CC4013 是由 CMOS 传输门构成的边沿型 D 触发器。它是上升沿触发的双 D 触发器，表 8-5 为其功能表，图 8-7 为引脚排列。

表 8-5

输 入				输 出
S	R	CP	D	Q^{n+1}
1	0	×	×	1
0	1	×	×	0
1	1	×	×	ϕ
0	0	↑	1	1
0	0	↑	0	0
0	0	↓	×	Q^n

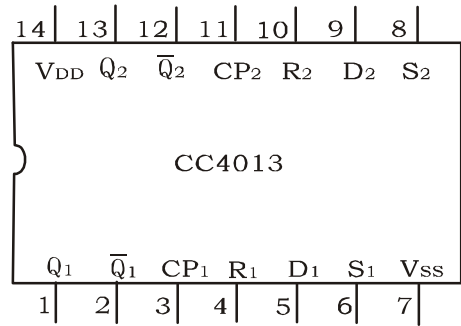


图 8-7 双上升沿 D 触发器

(2) CMOS 边沿型 JK 触发器

CC4027 是由 CMOS 传输门构成的边沿型 JK 触发器，它是上升沿触发的双 JK 触发器，表 8-6 为其功能表，图 8-8 为引脚排列。

表 8-6

输 入					输 出
S	R	CP	J	K	Q^{n+1}
1	0	×	×	×	1
0	1	×	×	×	0
1	1	×	×	×	ϕ
0	0	↑	0	0	Q^n
0	0	↑	1	0	1
0	0	↑	0	1	0
0	0	↑	1	1	\bar{Q}^n
0	0	↓	×	×	Q^n

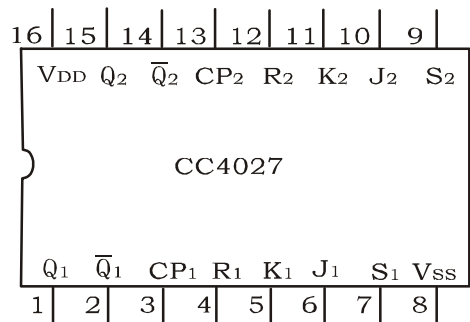


图 8-8 双上升沿 J-K 触发器

CMOS 触发器的直接置位、复位输入端 S 和 R 是高电平有效，当 S=1（或 R=1）时，触发器将不受其它输入端所处状态的影响，使触发器直接接置 1（或置 0）。但直接置位、复位输入端 S 和 R 必须遵守 RS=0 的约束条件。CMOS 触发器在按逻辑功能工作时，S 和 R 必须均置 0。

三、实验设备与器件

- | | |
|---------------------|-----------|
| 1、+5V 直流电源 | 2、双踪示波器 |
| 3、连续脉冲源 | 4、单次脉冲源 |
| 5、逻辑电平开关 | 6、逻辑电平显示器 |
| 7、74LS112（或 CC4027） | |
| 74LS00（或 CC4011） | |
| 74LS74（或 CC4013） | |

四、实验内容

1、测试基本 RS 触发器的逻辑功能

按图 8-1，用两个与非门组成基本 RS 触发器，输入端 \bar{R} 、 \bar{S} 接逻辑开关的输出插口，输出端 Q、 \bar{Q} 接逻辑电平显示输入插口，按表 8-7 要求测试，记录之。

表 8-7

\bar{R}	\bar{S}	Q	\bar{Q}
1	1→0		
	0→1		
1→0	1		
0→1			
0	0		

2、测试双 JK 触发器 74LS112 逻辑功能

(1) 测试 \bar{R}_D 、 \bar{S}_D 的复位、置位功能

任取一只 JK 触发器， \bar{R}_D 、 \bar{S}_D 、J、K 端接逻辑开关输出插口，CP 端接单次脉冲源，Q、 \bar{Q} 端接至逻辑电平显示输入插口。要求改变 \bar{R}_D ， \bar{S}_D (J、K、CP 处于任意状态)，并在 $\bar{R}_D=0$ ($\bar{S}_D=1$) 或 $\bar{S}_D=0$ ($\bar{R}_D=1$) 作用期间任意改变 J、K 及 CP 的状态，观察 Q、 \bar{Q} 状态。自拟表格并记录之。

(2) 测试 JK 触发器的逻辑功能

按表 8-8 的要求改变 J、K、CP 端状态，观察 Q、 \bar{Q} 状态变化，观察触发器状态更新是否发生在 CP 脉冲的下降沿 (即 CP 由 1→0)，记录之。

(3) 将 JK 触发器的 J、K 端连在一起，构成 T 触发器。

在 CP 端输入 1HZ 连续脉冲，观察 Q 端的变化。

在 CP 端输入 1KHZ 连续脉冲，用双踪示波器观察 CP、Q、 \bar{Q} 端波形，注意相位关系，描绘之。

表 8-8

J	K	CP	Q^{n+1}	
			$Q^n=0$	$Q^n=1$
0	0	0→1		
		1→0		
0	1	0→1		
		1→0		
1	0	0→1		
		1→0		
1	1	0→1		
		1→0		

3、测试双 D 触发器 74LS74 的逻辑功能

(1) 测试 \bar{R}_D 、 \bar{S}_D 的复位、置位功能

测试方法同实验内容 2、1)，自拟表格记录。

(2) 测试 D 触发器的逻辑功能

按表 8—9 要求进行测试，并观察触发器状态更新是否发生在 CP 脉冲的上升沿（即由 0→1），记录之。

表 8—9

D	CP	Q^{n+1}	
		$Q^n=0$	$Q^n=1$
0	0→1		
	1→0		
1	0→1		
	1→0		

(4) 将 D 触发器的 \bar{Q} 端与 D 端相连接，构成 T' 触发器。

(5) 测试方法同实验内容 2、3)，记录之。

下面选做实验，学生自行设计：

4、（选做，自行设计）双相时钟脉冲电路

用 JK 触发器及与非门构成的双相时钟脉冲电路如图 8—9 所示，此电路是用来将时钟脉冲 CP 转换成两相时钟脉冲 CP_A 及 CP_B ，其频率相同、相位不同。

分析电路工作原理，并按图 8—9 接线，用双踪示波器同时观察 CP、 CP_A ；CP、 CP_B 及 CP_A 、 CP_B 波形，并描绘之。

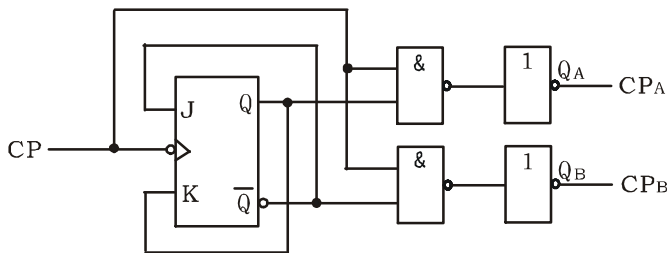


图 8—9 双相时钟脉冲电路

5、（选做，自行设计）乒乓球练习电路

电路功能要求：模拟二名运动员在练球时，乒乓球能往返运转。

提示：采用双 D 触发器 74LS74 设计实验线路，两个 CP 端触发脉冲分别由两名运动员操作，两触发器的输出状态用逻辑电平显示器显示。

五、实验预习要求

- 1、复习有关触发器内容
- 2、列出各触发器功能测试表格
- 3、按实验内容 4、5 的要求设计线路，拟定实验方案。

六、实验报告

- 1、列表整理各类触发器的逻辑功能。
- 2、总结观察到的波形，说明触发器的触发方式。
- 3、体会触发器的应用。
- 4、利用普通的机械开关组成的数据开关所产生的信号是否可作为触发器的时钟脉冲信号？为什么？是否可以用作触发器的其它输入端的信号？又是为什么？

实验九 计数器及其应用

一、实验目的

- 1、学习用集成触发器构成计数器的方法
- 2、掌握中规模集成计数器的使用及功能测试方法
- 3、运用集成计数构成 1/N 分频器

二、实验原理

计数器是一个用以实现计数功能的时序部件，它不仅可用来计脉冲数，还常用作数字系统的定时、分频和执行数字运算以及其它特定的逻辑功能。

计数器种类很多。按构成计数器中的各触发器是否使用一个时钟脉冲源来分，有同步计数器和异步计数器。根据计数制的不同，分为二进制计数器，十进制计数器和任意进制计数器。根据计数的增减趋势，又分为加法、减法和可逆计数器。还有可预置数和可编程序功能计数器等等。目前，无论是 TTL 还是 CMOS 集成电路，都有品种较齐全的中规模集成计数器。使用者只要借助于器件手册提供的功能表和工作波形图以及引出端的排列，就能正确地运用这些器件。

1、用 D 触发器构成异步二进制加 / 减计数器

图 9-1 是用四只 D 触发器构成的四位二进制异步加法计数器，它的连接特点是将每只 D 触发器接成 T 触发器，再由低位触发器的 \bar{Q} 端和高一位的 CP 端相连接。

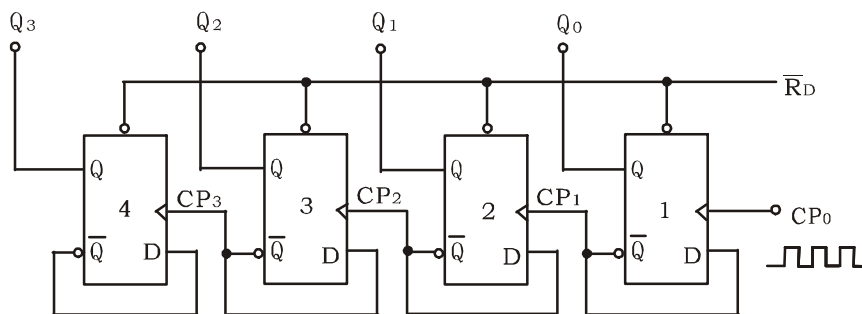


图 9-1 四位二进制异步加法计数器

若将图 9-1 稍加改动，即将低位触发器的 Q 端与高一位的 CP 端相连接，即构成了一个 4 位二进制减法计数器。

2、中规模十进制计数器

74LS192 是同步十进制可逆计数器，具有双时钟输入，并具有清除和置数等功能，其引脚排列及逻辑符号如图 9-2 所示。

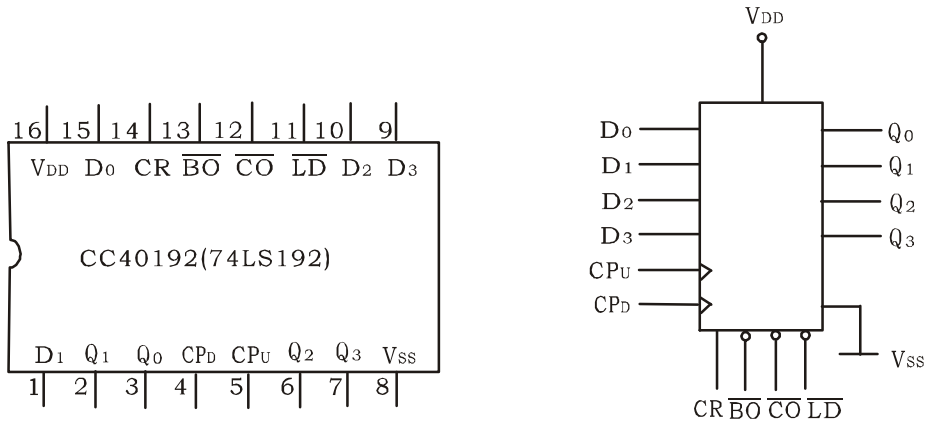


图 9-2 74LS192 引脚排列及逻辑符号

图中 \overline{LD} —置数端 CP_U —加计数端 CP_D —减计数端

\overline{CO} —非同步进位输出端 \overline{BO} —非同步借位输出端

D_0 、 D_1 、 D_2 、 D_3 —计数器输入端

Q_0 、 Q_1 、 Q_2 、 Q_3 —数据输出端 CR —清除端

74LS192（同 CC40192，二者可互换使用）的功能如表 9-1，说明如下：

表 9-1

输 入								输 出			
CR	\overline{LD}	CP_U	CP_D	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0
1	×	×	×	×	×	×	×	0	0	0	0
0	0	×	×	d	c	b	a	d	c	b	a
0	1	↑	1	×	×	×	×	加 计 数			
0	1	1	↑	×	×	×	×	减 计 数			

当清除端 CR 为高电平“1”时，计数器直接清零；CR 置低电平则执行其它功能。

当 CR 为低电平，置数端 \overline{LD} 也为低电平时，数据直接从置数端 D_0 、 D_1 、 D_2 、 D_3 置入

计数器。

当 CR 为低电平， \overline{LD} 为高电平时，执行计数功能。执行加计数时，减计数端 CP_D 接高电平，计数脉冲由 CP_U 输入；在计数脉冲上升沿进行 8421 码十进制加法计数。执行减计数时，加计数端 CP_U 接高电平，计数脉冲由减计数端 CP_D 输入，表 9-2 为 8421 码十进制加、减计数器的状态转换表。

表 9-2 加法计数 →

输入脉冲数		0	1	2	3	4	5	6	7	8	9
输出	Q_3	0	0	0	0	0	0	0	0	1	1
	Q_2	0	0	0	0	1	1	1	1	0	0
	Q_1	0	0	1	1	0	0	1	1	0	0
	Q_0	0	1	0	1	0	1	0	1	0	1

← 减计数

3、计数器的级联使用

一个十进制计数器只能表示 0~9 十个数，为了扩大计数器范围，常用多个十进制计数器级联使用。

同步计数器往往设有进位（或借位）输出端，故可选用其进位（或借位）输出信号驱动下一级计数器。

图 9-3 是由 74LS192 利用进位输出 \overline{CO} 控制高一级的 CP_U 端构成的加数级联图。

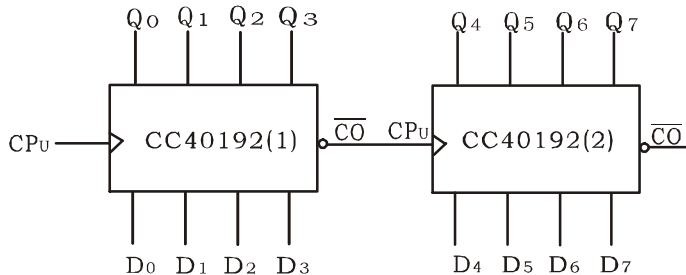


图 9-3 74LS192 级联电路

4、实现任意进制计数

(1) 用复位法获得任意进制计数器

假定已有 N 进制计数器，而需要得到一个 M 进制计数器时，只要 $M < N$ ，用复位法使计数器计数到 M 时置“0”，即获得 M 进制计数器。如图 9-4 所示为一个由 74LS192 十进制计数器接成的 6 进制计数器。

(2) 利用预置功能获 M 进制计数器

图 9-5 为用三个 74LS192 组成的 421 进制计数器。

外加的由与非门构成的锁存器可以克服器件计数速度的离散性，保证在反馈置“0”信号作用下计数器可靠置“0”。

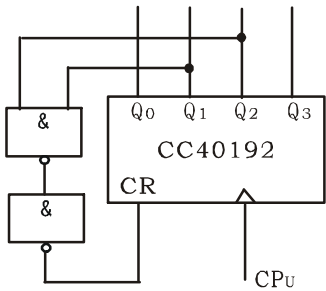


图 9-4 六进制计数器

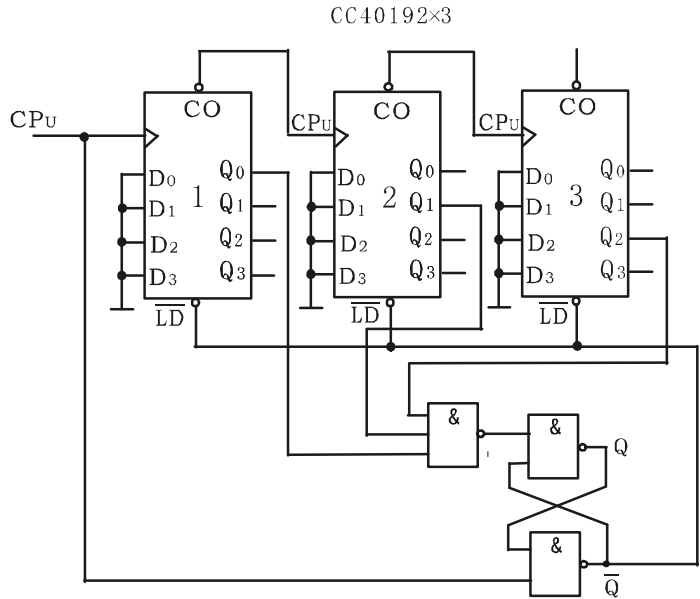


图 9-5 421 进制计数器

图 9-6 是一个特殊 12 进制的计数器电路方案。在数字钟里，对时位的计数序列是 1、2、…11，12、1、…是 12 进制的，且无 0 数。如图所示，当计数到 13 时，通过与非门产生一个复位信号，使 74LS192(2)（时十位）直接置成 0000，而 74LS192(1)，即时的个位直接置成 0001，从而实现了 1-12 计数。

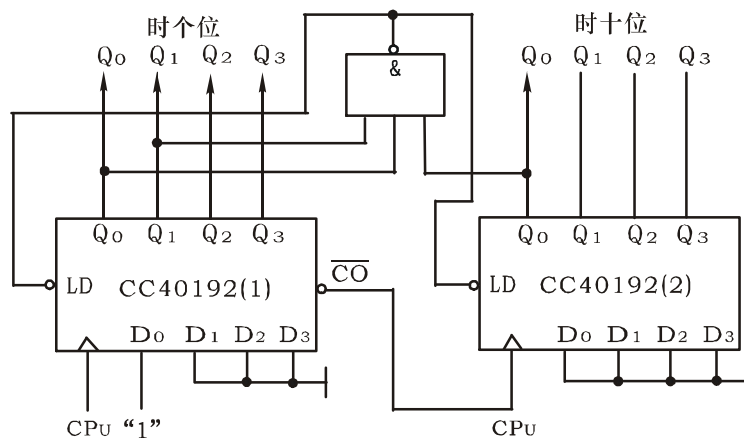


图 9—6 特殊 12 进制计数器

三、实验设备与器件

- | | |
|----------------------|------------|
| 1、 +5V 直流电源 | 2、 双踪示波器 |
| 3、 连续脉冲源 | 4、 单次脉冲源 |
| 5、 逻辑电平开关 | 6、 逻辑电平显示器 |
| 7、 译码显示器 | |
| 8、 74LS74×2 (CC4013) | |
| 74LS192×3 (CC40192) | |
| 74LS00 (CC4011) | |
| 74LS20 (CC4012) | |

四、实验内容

1、用 74LS74 D 触发器构成 4 位二进制异步加法计数器。

(1) 按图 9—1 接线， \bar{R}_D 接至逻辑开关输出插口，将低位 CP_0 端接单次脉冲源，输出端 Q_3 、 Q_2 、 Q_1 、 Q_0 接逻辑电平显示输入插口，各 \bar{S}_D 接高电平“1”。

(2) 清零后，逐个送入单次脉冲，观察并列表记录 $Q_3 \sim Q_0$ 状态。

(3) 将单次脉冲改为 1HZ 的连续脉冲，观察 $Q_3 \sim Q_0$ 的状态。

(4) 将 1Hz 的连续脉冲改为 1KHz，用双踪示波器观察 CP、 Q_3 、 Q_2 、 Q_1 、 Q_0 端波形，

描绘之。

5) 将图 9—1 电路中的低位触发器的 Q 端与高一位的 CP 端相连接, 构成减法计数器, 按实验内容 2), 3), 4) 进行实验, 观察并列表记录 $Q_3 \sim Q_0$ 的状态。

2、测试 74LS192 同步十进制可逆计数器的逻辑功能

计数脉冲由单次脉冲源提供, 清除端 CR、置数端 \overline{LD} 、数据输入端 D_3 、 D_2 、 D_1 、 D_0 分别接逻辑开关, 输出端 Q_3 、 Q_2 、 Q_1 、 Q_0 接实验设备的一个译码显示输入相应插口 A、B、C、D; \overline{CO} 和 \overline{BO} 接逻辑电平显示插口。按表 9—1 逐项测试并判断该集成块的功能是否正常。

(1) 清除

令 $CR=1$, 其它输入为任意态, 这时 $Q_3Q_2Q_1Q_0=0000$, 译码数字显示为 0。清除功能完成后, 置 $CR=0$

(2) 置数

$CR=0$, CP_U , CP_D 任意, 数据输入端输入任意一组二进制数, 令 $\overline{LD}=0$, 观察计数译码显示输出, 予置功能是否完成, 此后置 $\overline{LD}=1$ 。

(3) 加计数

$CR=0$, $\overline{LD}=CP_D=1$, CP_U 接单次脉冲源。清零后送入 10 个单次脉冲, 观察译码数字显示是否按 8421 码十进制状态转换表进行; 输出状态变化是否发生在 CP_U 的上升沿。

(4) 减计数

$CR=0$, $\overline{LD}=CP_U=1$, CP_D 接单次脉冲源。参照 3) 进行实验。

3、图 9—3 所示, 用两片 74LS192 组成两位十进制加法计数器, 输入 1Hz 连续计数脉冲, 进行由 00—99 累加计数, 记录之。

4、将两位十进制加法计数器改为两位十进制减法计数器, 实现由 99—00 递减计数,

记录之。

- 5、按图 9—4 电路进行实验，记录之。
- 6、按图 9—5，或图 9—6 进行实验，记录之。
- 7、自行设计一个数字钟移位 60 进制计数器并进行实验。

五、实验预习要求

- 1、复习有关计数器部分内容
- 2、绘出各实验内容的详细线路图
- 3、拟出各实验内容所需的测试记录表格
- 4、查手册，给出并熟悉实验所用各集成块的引脚排列图

六、实验报告

- 1、画出实验线路图，记录、整理实验现象及实验所得的有关波形。对实验结果进行分析。
- 2、总结使用集成计数器的体会。

实验十 移位寄存器及其应用

一、实验目的

- 1、掌握中规模 4 位双向移位寄存器逻辑功能及使用方法。
- 2、熟悉移位寄存器的应用 — 实现数据的串行、并行转换和构成环形计数器。

二、实验原理

1、移位寄存器是一个具有移位功能的寄存器，是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。既能左移又能右移的称为双向移位寄存器，只需要改变左、右移的控制信号便可实现双向移位要求。根据移位寄存器存取信息的方式不同分为：串入串出、串入并出、并入串出、并入并出四种形式。

本实验选用的 4 位双向通用移位寄存器，型号为 74LS194 或 CC40194，两者功能相同，可互换使用，其逻辑符号及引脚排列如图 10-1 所示。

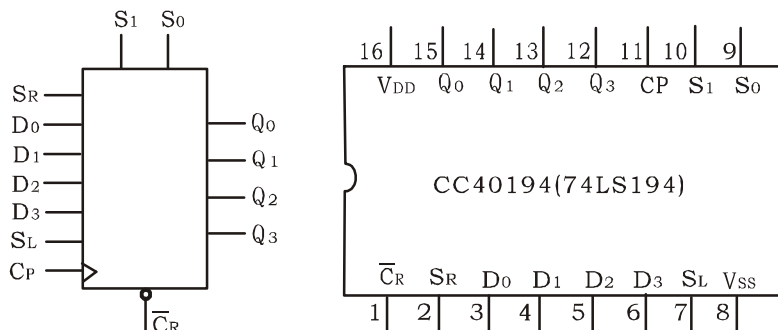


图 10-1 74LS194 的逻辑符号及引脚功能

其中 D_0 、 D_1 、 D_2 、 D_3 为并行输入端； Q_0 、 Q_1 、 Q_2 、 Q_3 为并行输出端； S_R 为右移串行输入端， S_L 为左移串行输入端； S_1 、 S_0 为操作模式控制端； \overline{C}_R 为直接无条件清零端； CP 为时钟脉冲输入端。

74LS194 有 5 种不同操作模式：即并行送数寄存，右移(方向由 $Q_0 \rightarrow Q_3$)，左移(方向由 $Q_3 \rightarrow Q_0$)，保持及清零。

S_1 、 S_0 和 \overline{C}_R 端的控制作用如表 10-1。

表 10-1

功能	输 入							输 出						
	CP	\bar{C}_R	S_1	S_0	S_R	S_L	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
清除	×	0	×	×	×	×	×	×	×	×	0	0	0	0
送数	↑	1	1	1	×	×	a	b	c	d	a	b	c	d
右移	↑	1	0	1	D_{SR}	×	×	×	×	×	D_{SR}	Q_0	Q_1	Q_2
左移	↑	1	1	0	×	D_{SL}	×	×	×	×	Q_1	Q_2	Q_3	D_{SL}
保持	↑	1	0	0	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n
保持	↓	1	×	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n

2、移位寄存器应用很广，可构成移位寄存器型计数器；顺序脉冲发生器；串行累加器；可用作数据转换，即把串行数据转换为并行数据，或把并行数据转换为串行数据等。本实验研究移位寄存器用作环形计数器和数据的串、并行转换。

(1) 环形计数器

把移位寄存器的输出反馈到它的串行输入端，就可以进行循环移位，如图 10-2 所示，把输出端 Q_3 和右移串行输入端 S_R 相连接，设初始状态 $Q_0Q_1Q_2Q_3 = 1000$ ，则在时钟脉冲作用下 $Q_0Q_1Q_2Q_3$ 将依次变为 $0100 \rightarrow 0010 \rightarrow 0001 \rightarrow 1000 \rightarrow \dots$ ，如表 10-2 所示，可见它是一个具有四个有效状态的计数器，这种类型的计数器通常称为环形计数器。图 10-2 电路可以由各个输出端输出在时间上有先后顺序的脉冲，因此也可作为顺序脉冲发生器。

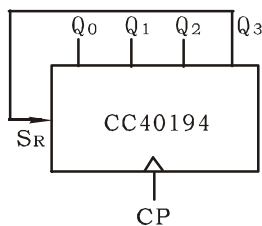


图 10-2 环形计数器

如果将输出 Q_0 与左移串行输入端 S_L 相连接，即可达左移循环移位。

(2) 实现数据串、并行转换

表 10-2

CP	Q_0	Q_1	Q_2	Q_3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

① 串行/并行转换器

串行/并行转换是指串行输入的数码，经转换电路之后变换成并行输出。

图 10—3 是用二片 74LS194 (CC40194) 四位双向移位寄存器组成的七位串/并行数据转换电路。

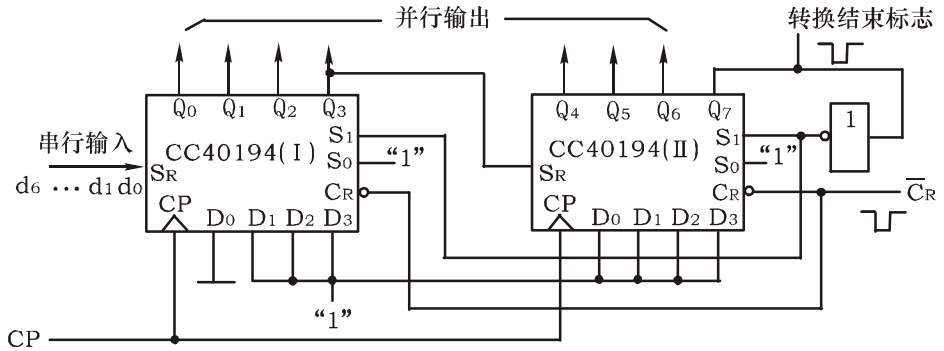


图 10—3 七位串行 / 并行转换器

电路中 S_0 端接高电平 1, S_1 受 Q_7 控制, 二片寄存器连接成串行输入右移工作模式。 Q_7 是转换结束标志。当 $Q_7=1$ 时, S_1 为 0, 使之成为 $S_1S_0=01$ 的串入右移工作方式, 当 $Q_7=0$ 时, $S_1=1$, 有 $S_1S_0=10$, 则串行送数结束, 标志着串行输入的数据已转换成并行输出了。

串行/并行转换的具体过程如下:

转换前, \bar{C}_R 端加低电平, 使 1、2 两片寄存器的内容清 0, 此时 $S_1S_0=11$, 寄存器执行并行输入工作方式。当第一个 CP 脉冲到来后, 寄存器的输出状态 $Q_0\sim Q_7$ 为 01111111, 与此同时 S_1S_0 变为 01, 转换电路变为执行串入右移工作方式, 串行输入数据由 1 片的 S_R 端加入。随着 CP 脉冲的依次加入, 输出状态的变化可列成表 10-3 所示。

表 10-3

CP	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	说明
0	0	0	0	0	0	0	0	0	清零
1	0	1	1	1	1	1	1	1	送数
2	d ₀	0	1	1	1	1	1	1	右移操作七次
3	d ₁	d ₀	0	1	1	1	1	1	
4	d ₂	d ₁	d ₀	0	1	1	1	1	
5	d ₃	d ₂	d ₁	d ₀	0	1	1	1	
6	d ₄	d ₃	d ₂	d ₁	d ₀	0	1	1	
7	d ₅	d ₄	d ₃	d ₂	d ₁	d ₀	0	1	
8	d ₆	d ₅	d ₄	d ₃	d ₂	d ₁	d ₀	0	
9	0	1	1	1	1	1	1	1	送数

由表 10-3 可见，右移操作七次之后，Q₇ 变为 0，S₁S₀ 又变为 11，说明串行输入结束。这时，串行输入的数码已经转换成了并行输出了。

当再来一个 CP 脉冲时，电路又重新执行一次并行输入，为第二组串行数码转换作好了准备。

② 并行/串行转换器

并行/串行转换器是指并行输入的数码经转换电路之后，换成串行输出。

图 10-4 是用两片 74LS194 (CC40194) 组成的七位并行/串行转换电路，它比图 10-3 多了两只与非门 G₁ 和 G₂，电路工作方式同样为右移。

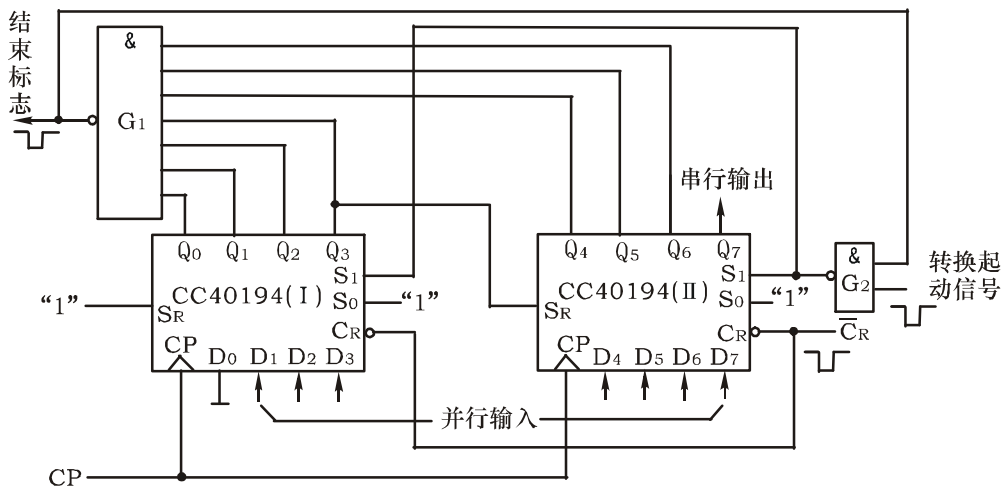


图 10-4 七位并行 / 串行转换器

寄存器清“0”后，加一个转换起动信号（负脉冲或低电平）。此时，由于方式控制 S_1S_0 为 11，转换电路执行并行输入操作。当第一个 CP 脉冲到来后， $Q_0Q_1Q_2Q_3Q_4Q_5Q_6Q_7$ 的状态为 $0D_1D_2D_3D_4D_5D_6D_7$ ，并行输入数码存入寄存器。从而使得 G_1 输出为 1， G_2 输出为 0，结果， S_1S_2 变为 01，转换电路随着 CP 脉冲的加入，开始执行右移串行输出，随着 CP 脉冲的依次加入，输出状态依次右移，待右移操作七次后， $Q_0\sim Q_6$ 的状态都为高电平 1，与非门 G_1 输出为低电平， G_2 门输出为高电平， S_1S_2 又变为 11，表示并/串行转换结束，且为第二次并行输入创造了条件。转换过程如表 10-4 所示。

表 10-4

CP	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	串 行 输 出
0	0	0	0	0	0	0	0	0	
1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	
2	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D 7
3	1	1	0	D_1	D_2	D_3	D_4	D_5	D D 6 7
4	1	1	1	0	D_1	D_2	D_3	D_4	D D D 5 6 7
5	1	1	1	1	0	D_1	D_2	D_3	D D D D 4 5 6 7
6	1	1	1	1	1	0	D_1	D_2	D D D D D 3 4 5 6 7
7	1	1	1	1	1	1	0	D_1	D D D D D D 2 3 4 5 6 7
8	1	1	1	1	1	1	1	0	D D D D D D D 1 2 3 4 5 6 7
9	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	

中规模集成移位寄存器，其位数往往以 4 位居多，当需要的位数多于 4 位时，可把几片移位寄存器用级连的方法来扩展位数。

三、实验设备及器件

- | | |
|-------------|------------|
| 1、 +5V 直流电源 | 2、 单次脉冲源 |
| 3、 逻辑电平开关 | 4、 逻辑电平显示器 |

5、 74LS194×2 (CC40194) 74LS00(CC4011) 74LS30(CC4068)

四、实验内容

1、测试 74LS194 (或 CC40194) 的逻辑功能

按图 10-5 接线, \bar{C}_R 、 S_1 、 S_0 、 S_L 、

S_R 、 D_0 、 D_1 、 D_2 、 D_3 分别接至逻辑开关的输出插口; Q_0 、 Q_1 、 Q_2 、 Q_3 接至逻辑电平显示输入插口。CP 端接单次脉冲源。按表 10-5 所规定的输入状态, 逐项进行测试。

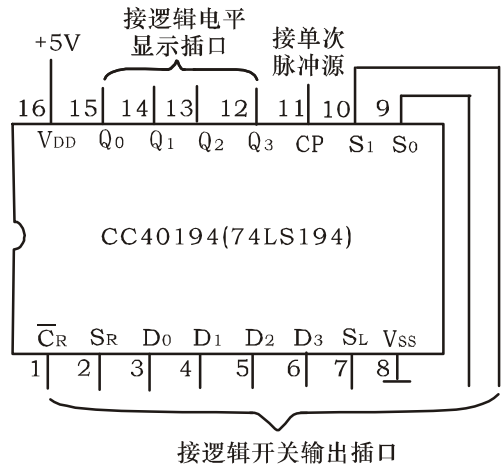


图 10-5 74LS194 逻辑功能测试

(1) 清除: 令 $\bar{C}_R = 0$, 其它输入均为任意态, 这时寄存器输出 Q_0 、 Q_1 、 Q_2 、

Q_3 应均为 0。清除后, 置 $\bar{C}_R = 1$ 。

(2) 送数: 令 $\bar{C}_R = S_1 = S_0 = 1$, 送入任意 4 位二进制数, 如 $D_0D_1D_2D_3 = abcd$, 加 CP 脉冲, 观察 $CP=0$ 、 CP 由 $0 \rightarrow 1$ 、 CP 由 $1 \rightarrow 0$ 三种情况下寄存器输出状态的变化, 观察寄存器输出状态变化是否发生在 CP 脉冲的上升沿。

(3) 右移: 清零后, 令 $\bar{C}_R = S_1 = S_0 = 1$, 由右移输入端 S_R 送入二进制数码如 0100, 令 $\bar{C}_R = 1$, $S_1 = 0$, $S_0 = 1$, 由 CP 端连续加 4 个脉冲, 观察输出情况, 记录之。

(4) 左移: 先清零或予置, 由左移输入端 S_L 送入二进制数码如 1111, 再令 $\bar{C}_R = 1$, $S_1 = 1$, $S_0 = 0$, 连续加四个 CP 脉冲, 观察输出端情况, 记录之。

(5) 保持: 寄存器予置任意 4 位二进制数码 $abcd$, 令 $\bar{C}_R = 1$, $S_1 = S_0 = 0$, 加 CP 脉冲,

观察寄存器输出状态，记录之。

2、(选做) 环形计数器

自拟实验线路用并行送数法予置寄存器为某二进制数码(如 0100)，然后进行右移循环，观察寄存器输出端状态的变化，记入表 10-6 中。

表 10-5

清除 \bar{C}_R	模 式		时钟 CP	串 行		输 入 D ₀ D ₁ D ₂ D ₃	输 出 Q ₀ Q ₁ Q ₂ Q ₃	功能总结
	S ₁	S ₀		S _L	S _R			
0	×	×	×	×	×	××××		
1	1	1	↑	×	×	a b c d		
1	0	1	↑	×	0	××××		
1	0	1	↑	×	1	××××		
1	0	1	↑	×	0	××××		
1	0	1	↑	×	0	××××		
1	1	0	↑	1	×	××××		
1	1	0	↑	1	×	××××		
1	1	0	↑	1	×	××××		
1	1	0	↑	1	×	××××		
1	0	0	↑	×	×	××××		

表 10-6

CP	Q ₀	Q ₁	Q ₂	Q ₃
0	0	1	0	0
1				
2				
3				
4				

3、实现数据的串、并行转换

(1) 串行输入、并行输出

按图 10—3 接线，进行右移串入、并出实验，串入数码自定；改接线路用左移方式实现并行输出。自拟表格，记录之。

(2)并行输入、串行输出

按图 10—4 接线，进行右移并入、串出实验，并入数码自定。再改接线路用左移方式实现串行输出。自拟表格，记录之。

五、实验预习要求

- 1、复习有关寄存器及串行、并行转换器有关内容。
- 2、查阅 74LS194、74LS00 及 74LS30 逻辑线路。熟悉其逻辑功能及引脚排列。
- 3、在对 74LS194 进行送数后，若要使输出端改成另外的数码，是否一定要使寄存器清零？
- 4、使寄存器清零，除采用 \bar{C}_r 输入低电平外，可否采用右移或左移的方法？可否使用并行送数法？若可行，如何进行操作？

5、若进行循环左移，图 10—4 接线应如何改接？

6、画出用两片 74LS194 构成的七位左移串 / 并行转换器线路。

7、画出用两片 74LS194 构成的七位左移并 / 串行转换器线路。

六、实验报告

1、分析表 10—4 的实验结果，总结移位寄存器 74LS194 的逻辑功能并写入表格功能总结一栏中。

1、根据实验内容 2 的结果，画出 4 位环形计数器的状态转换图及波形图。

2、分析串 / 并、并 / 串转换器所得结果的正确性。

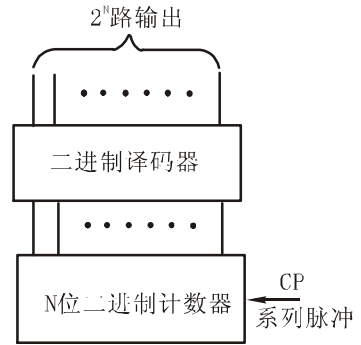
实验十一 脉冲分配器及其应用

一、实验目的

- 1、熟悉集成时序脉冲分配器的使用方法及其应用
- 2、学习步进电动机的环形脉冲分配器的组成方法

二、实验原理

1、脉冲分配器的作用是产生多路顺序脉冲信号，它可以由计数器和译码器组成，也可以由环形计数器构成，图 11-1 中 CP 端上的系列脉冲经 N 位二进制计数器和相应的译码器，可以转变为 2^N 路顺序输出脉冲。



2、集成时序脉冲分配器 CC4017

图 11-1 脉冲分配器的组成

CC4017 是按 BCD 计数 / 时序译码器组成的分配器。

其逻辑符号及引脚功能如图 11-2 所示。功能如表 11-1

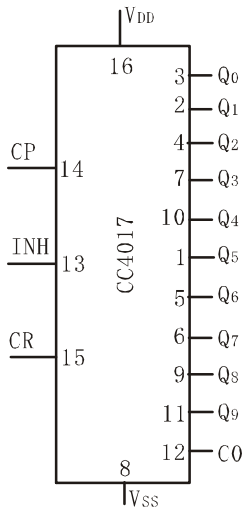


表 11-1

输 入			输 出	
CP	INH	CR	Q ₀ ~ Q ₉	CO
×	×	1	Q ₀	计数脉冲 为 Q ₀ ~Q ₄ 时: CO=1
↑	0	0	计 数	
1	↓	0	保 持	计数脉冲 为 Q ₅ ~Q ₉ 时: CO=0
0	×	0		
×	1	0		
↓	×	0		
×	↑	0		

图 11-2 CC4017 的逻辑符号

CO — 进位脉冲输出端 CP — 时钟输入端 CR — 清除端
 INH — 禁止端 Q₀~Q₉ — 计数脉冲输出端

CC4017 的输出波形如图 11-3。

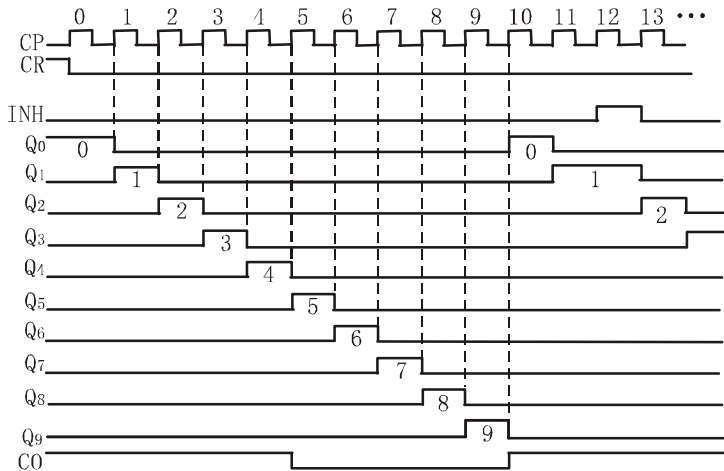


图 11-3 CC4017 的波形图

CC4017 应用十分广泛，可用于十进制计数，分频，1/N 计数（N=2~10 只需用一块，N>10 可用多块器件级连）。图 11-4 所示为由两片 CC4017 组成的 60 分频的电路。

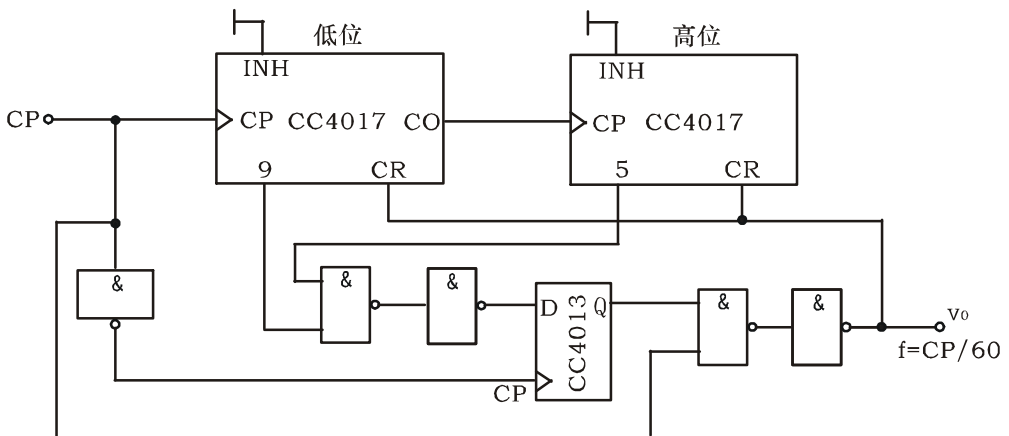


图 11-4 60 分频电路

3、步进电动机的环形脉冲分配器

图 11-5 所示为某一三相步进电动机的驱动电路示意图。

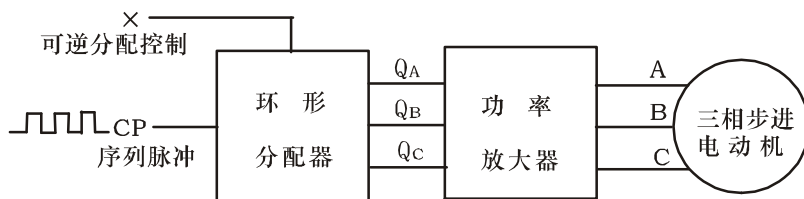


图 11-5 三相步进电动机的驱动电路示意图

A、B、C 分别表示步进电机的三相绕组。步进电机按三相六拍方式运行，即要求步进电机正转时，控制端 $X=1$ ，使电机三相绕组的通电顺序为

$$A \rightarrow \bar{A}B \rightarrow \bar{B} \rightarrow \bar{B}C \rightarrow C \rightarrow CA$$

要求步进电机反转时，令控制端 $X=0$ ，三相绕组的通电顺序改为

$$A \rightarrow \bar{A}C \rightarrow C \rightarrow \bar{B}C \rightarrow \bar{B} \rightarrow \bar{A}B$$

图 11-6 所示为由三个 JK 触发器构成的按六拍通电方式的脉冲环形分配器，供参考。

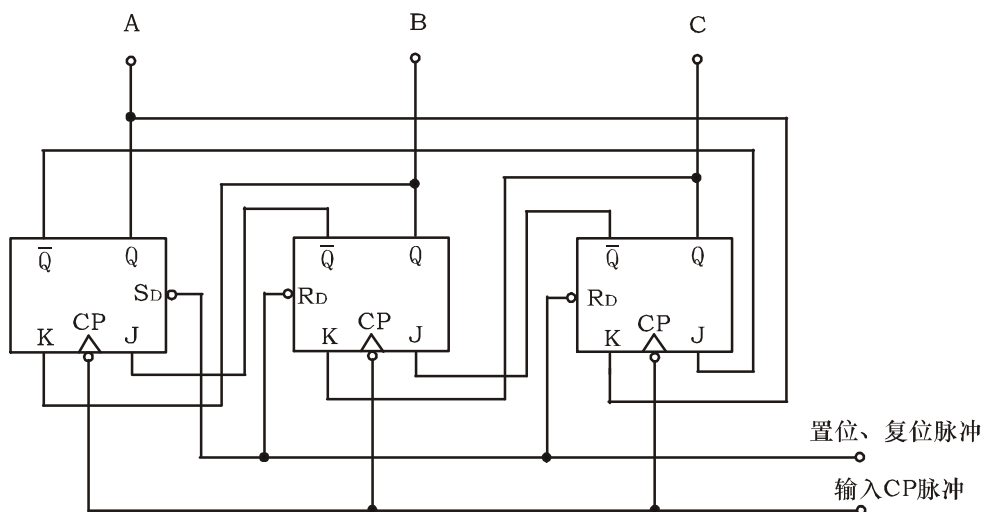


图 11-6 六拍通电方式的脉冲环形分配器逻辑图

要使步进电机反转，通常应加有正转脉冲输入控制和反转脉冲输入控制端。

此外，由于步进电机三相绕组任何时刻都不得出现 A、B、C 三相同步通电或同时

断电的情况，所以，脉冲分配器的三路输出不允许出现 111 和 000 两种状态，为此，可以给电路加初态予置环节。

三、实验设备与器件

- | | | | | |
|-------------|------------|----------|----------|----------|
| 1、 +5V 直流电源 | 2、 双踪示波器 | | | |
| 3、 连续脉冲源 | 4、 单次脉冲源 | | | |
| 5、 逻辑电平开关 | 6、 逻辑电平显示器 | | | |
| 7、 CC4017×2 | CC4013×2 | CC4027×2 | CC4011×2 | CC4085×2 |

四、实验内容

1、CC4017 逻辑功能测试

(1) 参照图 11-2(a)， EN、CR 接逻辑开关的输出插口。CP 接单次脉冲源，0~9 十个输出端接至逻辑电平显示输入插口，按功能表要求操作各逻辑开关。清零后，连续送出 10 个脉冲信号，观察十个发光二极管的显示状态，并列表记录。

(2)CP 改接为 1Hz 连续脉冲，观察记录输出状态。

2、按图 11-4 线路接线，自拟实验方案验证 60 分频电路的正确性。

3、参照图 11-6 的线路，设计一个用环形分配器构成的驱动三相步进电动机可逆运行的三相六拍环形分配器线路。要求：

(1)环形分配器用 CC4013 双 D 触发器，CC4085 与或非门组成。

(2)由于电动机三相绕组在任何时刻都不应出现同时通电同时断电情况,在设计中要做到这一点。

(3)电路安装好后，先用手控送入 CP 脉冲进行调试，然后加入系列脉冲进行动态实验。

(4)整理数据、分析实验中出现的問題，作出实验报告。

五、实验预习要求

1、复习有关脉冲分配器的原理

2、按实验任务要求，设计实验线路，并拟定实验方案及步骤。

六、实验报告

- 1、画出完整的实验线路
- 2、总结分析实验结果

实验十二 使用门电路产生脉冲信号

—自激多谐振荡器—

一、实验目的

- 1、掌握使用门电路构成脉冲信号产生电路的基本方法
- 2、掌握影响输出脉冲波形参数的定时元件数值的计算方法
- 3、学习石英晶体稳频原理和使用石英晶体构成振荡器的方法

二、实验原理

与非门作为一个开关倒相器件，可用以构成各种脉冲波形的产生电路。电路的基本工作原理是利用电容器的充放电，当输入电压达到与非门的阈值电压 V_T 时，门的输出状态即发生变化。因此，电路输出的脉冲波形参数直接取决于电路中阻容元件的数值。

1、非对称型多谐振荡器

如图 12-1 所示，非门 3 用于输出波形整形。

非对称型多谐振荡器的输出波形是不对称的，当用 TTL 与非门组成时，输出脉冲宽度

$$t_{w1} = RC \quad t_{w2} = 1.2RC \quad T = 2.2RC$$

调节 R 和 C 值，可改变输出信号的振荡频率，通常用改变 C 实现输出频率的粗调，改变电位器 R 实现输出频率的细调。

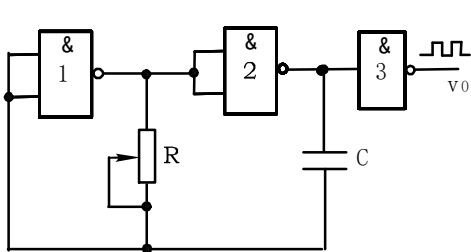


图 12-1 非对称型振荡器

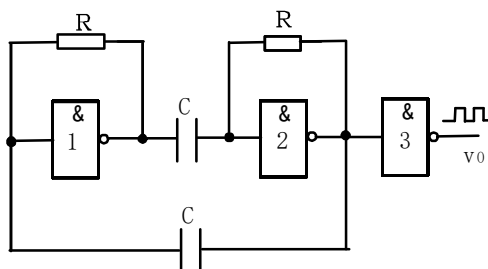


图 12-2 对称型振荡器

2、对称型多谐振荡器

如图 12-2 所示，由于电路完全对称，电容器的充放电时间常数相同，故输出为对称的方波。改变 R 和 C 的值，可以改变输出振荡频率。非门 3 用于输出波形整形。

一般取 $R \leq 1K \Omega$ ，当 $R=1K \Omega$ ， $C=100pf \sim 100\mu f$ 时， $f=nHz \sim nMHz$ ，脉冲宽度 $t_{w1}=t_{w2}=0.7RC$ ， $T=1.4RC$

3、带 RC 电路的环形振荡器

电路如图 12-3 所示，非门 4 用于输出波形整形，R 为限流电阻，一般取 100Ω ，电位器 R_w 要求 $\leq 1K \Omega$ ，电路利用电容 C 的充放电过程，控制 D 点电压 V_D ，从而控制与非门的自动启闭，形成多谐振荡，电容 C 的充电时间 t_{w1} 、放电时间 t_{w2} 和总的振荡周期 T 分别为

$$t_{w1} \approx 0.94RC, \quad t_{w2} \approx 1.26RC, \quad T \approx 2.2RC$$

调节 R 和 C 的大小可改变电路输出的振荡频率。

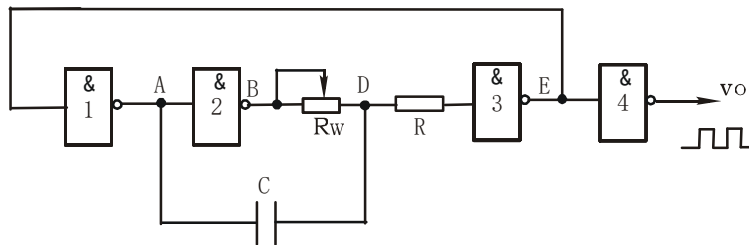


图 12-3 带有 RC 电路的环形振荡器

以上这些电路的状态转换都发生在与非门输入电平达到门的阈值电平 V_T 的时刻。在 V_T 附近电容器的充放电速度已经缓慢，而且 V_T 本身也不够稳定，易受温度、电源电压变化等因素以及干扰的影响。因此，电路输出频率的稳定性较差。

4、石英晶体稳频的多谐振荡器

当要求多谐振荡器的工作频率稳定性很高时，上述几种多谐振荡器的精度已不能满足要求。为此常用石英晶体作为信号频率的基准。用石英晶体与

门电路构成的多谐振荡器常用来为微型计算机等提供时钟信号。

图 12-4 所示为常用的晶体稳频多谐振荡器。(a)、(b)为 TTL 器件组成的晶体振荡电路；(c)、(d)为 CMOS 器件组成的晶体振荡电路，一般用于电子表中，其中晶体的 $f_0=32768\text{Hz}$ 。

图 12-4 (c) 中，门 1 用于振荡，门 2 用于缓冲整形。 R_f 是反馈电阻，通常在几十兆欧之间选取，一般选 $22\text{M}\Omega$ 。 R 起稳定振荡作用，通常取十至几百千欧。 C_1 是频率微调电容器， C_2 用于温度特性校正。

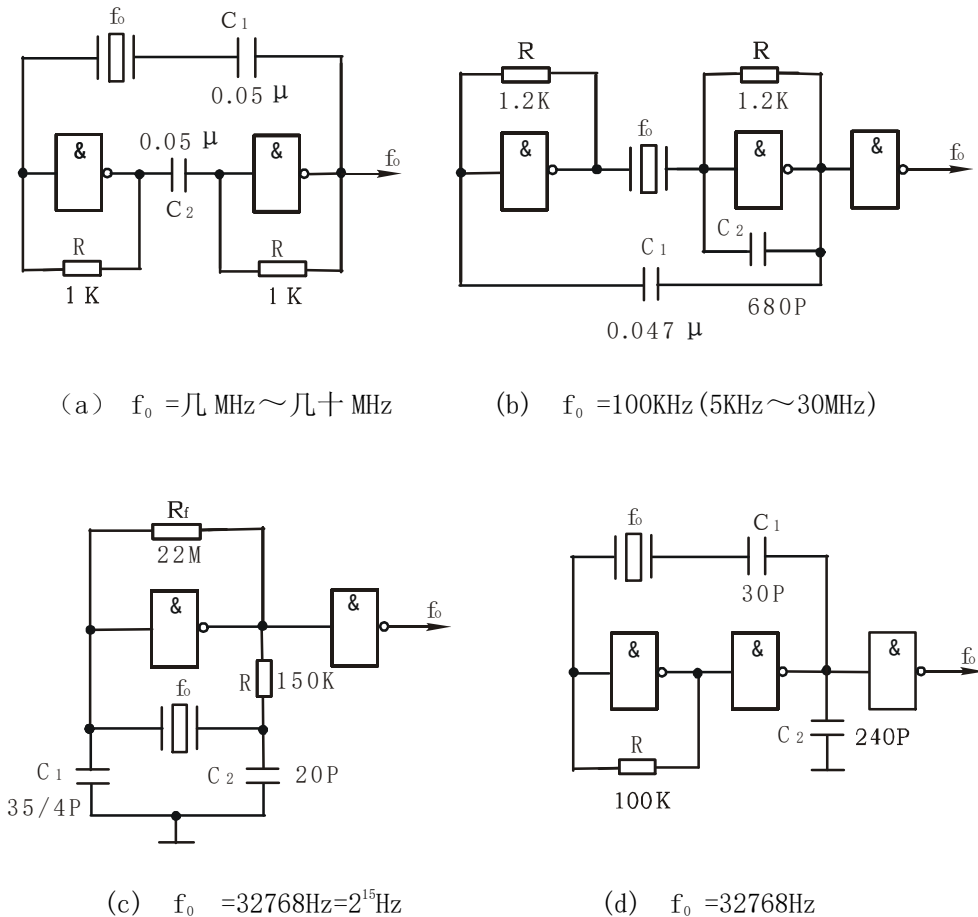


图 12-4 常用的晶体振荡电路

三、实验设备与器件

- 1、+5V 直流电源
- 2、双踪示波器
- 3、数字频率计

4、74LS00（或 CC4011） 晶振 32768Hz 电位器、电阻、电容若干。

四、实验内容

1、用与非门 74LS00 按图 12-1 构成多谐振荡器，其中 R 为 $10\text{K}\Omega$ 电位器，C 为 $0.01\mu\text{f}$ 。

(1) 用示波器观察输出波形及电容 C 两端的电压波形，列表记录之。

(2) 调节电位器观察输出波形的变化，测出上、下限频率。

(3) 用一只 $100\mu\text{f}$ 电容器跨接在 74LS00 14 脚与 7 脚的最近处，观察输出波形的变化及电源上纹波信号的变化，记录之。

2、用 74LS00 按图 12-2 接线，取 $R=1\text{K}\Omega$ ， $C=0.047\mu\text{f}$ ，用示波器观察输出波形，记录之。

3、用 74LS00 按图 12-3 接线，其中定时电阻 R_w 用一个 510Ω 与一个 $1\text{K}\Omega$ 的电位器串联，取 $R=100\Omega$ ， $C=0.1\mu\text{f}$ 。

(1) R_w 调到最大时，观察并记录 A、B、D、E 及 v_0 各点电压的波形，测出 v_0 的周期 T 和负脉冲宽度（电容 C 的充电时间）并与理论计算值比较。

(2) 改变 R_w 值，观察输出信号 v_0 波形的变化情况。

4、按图 12-4 (c) 接线，晶振选用电子表晶振 32768Hz，与非门选用 CC4011，用示波器观察输出波形，用频率计测量输出信号频率，记录之。

五、实验预习要求

- 1、复习自激多谐振荡器的工作原理
- 2、画出实验用的详细实验线路图
- 3、拟好记录、实验数据表格等。

六、实验报告

- 1、画出实验电路，整理实验数据与理论值进行比较
- 2、用方格纸画出实验观测到的工作波形图，对实验结果进行分析。

实验十三 单稳态触发器与施密特触发器

—脉冲延时与波形整形电路—

一、实验目的

- 1、掌握使用集成门电路构成单稳态触发器的基本方法
- 2、熟悉集成单稳态触发器的逻辑功能及其使用方法
- 3、熟悉集成施密特触发器的性能及其应用

二、实验原理

在数字电路中常使用矩形脉冲作为信号，进行信息传递，或作为时钟信号用来控制和驱动电路，使各部分协调动作。实验十三是自激多谐振荡器，它是不需要外加信号触发的矩形波发生器。另一类是他激多谐振荡器，有单稳态触发器，它需要在外加触发信号的作用下输出具有一定宽度的矩形脉冲波；有施密特触发器（整形电路），它对外加输入的正弦波等波形进行整形，使电路输出矩形脉冲波。

1、用与非门组成单稳态触发器

利用与非门作开关，依靠定时元件 RC 电路的充放电来控制与非门的启闭。单稳态电路有微分型与积分型两大类，这两类触发器对触发脉冲的极性与宽度有不同的要求。

(1) 微分型单稳态触发器 如图 13-1 所示

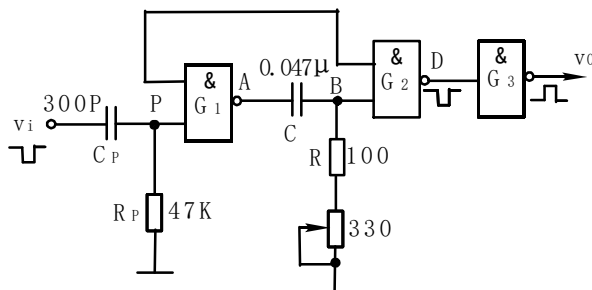


图 13-1 微分型单稳态触发器

该电路为负脉冲触发。其中 R_p 、 C_p 构成输入端微分隔直电路。 R 、 C 构成

微分型定时电路, 定时元件 R 、 C 的取值不同, 输出脉宽 t_w 也不同。 $t_w \approx (0.7 \sim 1.3) RC$ 。与非门 G_3 , 起整形、倒相作用。

图 13-2 为微分型单稳态触发器各点波形图, 结合波形图说明其工作原理。

① 无外介触发脉冲时电路初始稳态 $t < t_1$ 前状态

稳态时 v_i 为高电平。适当选择电阻 R 阻值, 使与非门 G_2 输入电压 V_B 小于门的关门电平 ($V_B < V_{off}$), 则门 G_2 关闭, 输出 V_D 为高电平。适当选择电阻 R_p 阻值, 使与非门 G_1 的输入电压 V_p 大于门的开门电平 ($V_p > V_{on}$), 于是 G_1 的两个输入端全为高电平, 则 G_1 开启, 输出 V_A 为低电平 (为方便计, 取 $V_{off} = V_{on} = V_T$)。

② 触发翻转 $t = t_1$ 时刻

v_i 负跳变, v_p 也负跳变, 门 G_1 输出 V_A 升高, 经电容 C 耦合, V_B 也升高, 门 G_2 输出 v_D 降低, 正反馈到 G_1 输入端, 结果使 G_1 输出 v_A 由低电平迅速上跳至高电平, G_1 迅速关闭; v_B 也上跳至高电平, G_2 输出 v_D 则迅速下跳至低电平, G_2 迅速开通。

③ 暂稳状态 $t_1 < t < t_2$

$t \geq t_1$ 以后, G_1 输出高电平, 对电容 C 充电, v_B 随之按指数规律下降, 但只要 $v_B > v_T$, G_1 关、 G_2 开的状态将维持不变, v_A 、 v_D 也维持不变。

④ 自动翻转 $t = t_2$

$t = t_2$ 时刻, v_B 下降至门的关门平 V_T , G_2 输出 V_D 升高, G_1 输出 V_A , 正反馈作用使电路迅速翻转至 G_1 开启, G_2 关闭初始稳态。

暂稳态时间的长短, 决定于电容 C 充电时间常数 $t = RC$ 。

⑤ 恢复过程 $t_2 < t < t_3$

电路自动翻转到 G_1 开启, G_2 关闭后, v_B 不是立即回到初始稳态值, 这是因为电容 C 要有一个放电过程。

$t > t_3$ 以后, 如 v_i 再出现负跳变, 则电路将重复上述过程。

如果输入脉冲宽度较小时, 则输入端可省去 $R_p C_p$ 微分电路了。

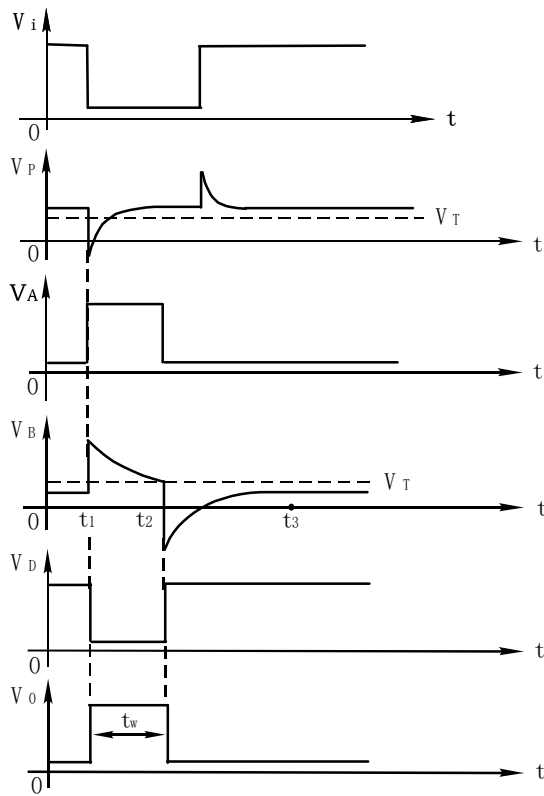


图 13-2 微分型单稳态触发器波形图

(2) 积分型单稳态触发器

如图 13-3 所示

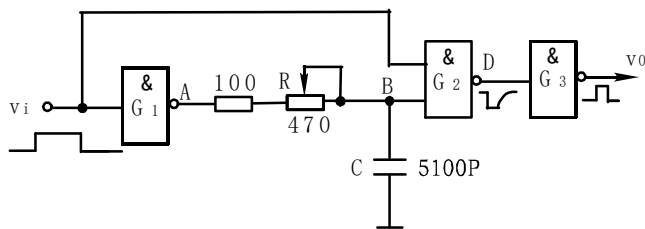


图 13-3 积分型单稳态触发器

电路采用正脉冲触发，工作波形如图 13-4 所示。电路的稳定条件是 $R \leq 1K\Omega$ ，输出脉冲宽度 $t_w \approx 1.1RC$ 。

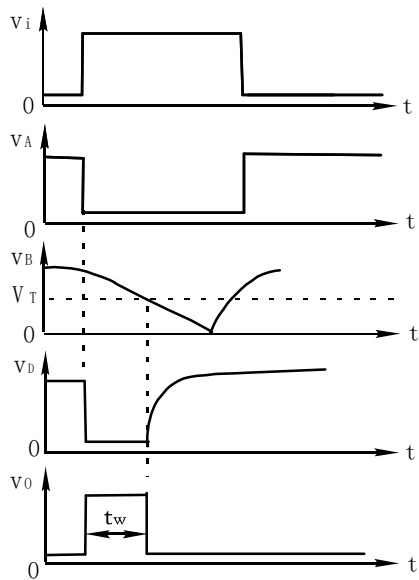


图 13—4 积分型单稳态触发器波形图

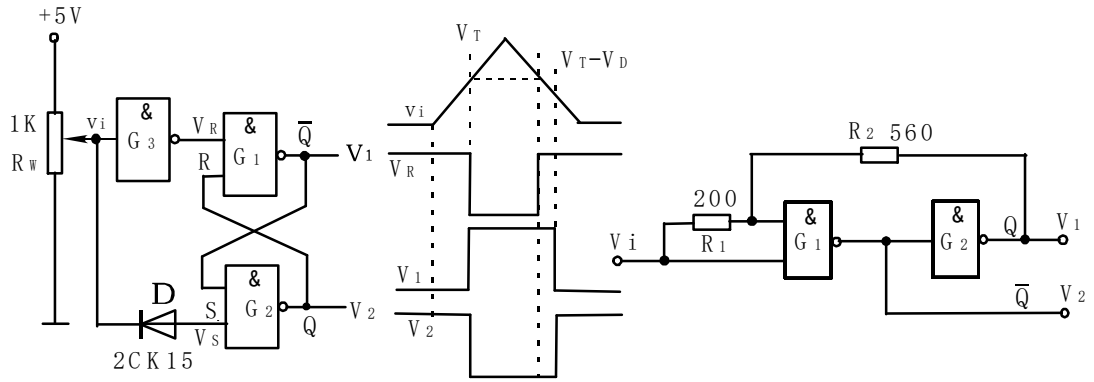
单稳态触发器共同特点是：触发脉冲未加入前，电路处于稳态。此时，可以测得各门的输入和输出电位。触发脉冲加入后，电路立刻进入暂稳态，暂稳态的时间，即输出脉冲的宽度 t_w 只取决于 RC 数值的大小，与触发脉冲无关。

2、用与非门组成施密特触发器

施密特触发器能对正弦波、三角波等信号进行整形，并输出矩形波，图 13—5 (a)、(b) 是两种典型的电路。图 13—5 (a) 中，门 G_1 、 G_2 是基本 RS 触发器，门 G_3 是反相器，二极管 D 起电平偏移作用，以产生回差电压，其工作情况如下：设 $v_i = 0$ ， G_3 截止， $R=1$ 、 $S=0$ ， $Q=1$ 、 $\bar{Q}=0$ ，电路处于原态。 v_i 由 0V 上升到电路的接通电位 V_T 时， G_3 导通， $R=0$ ， $S=1$ ，触发器翻转为 $Q=0$ ， $\bar{Q}=1$ 的新状态。此后 v_i 继续上升，电路状态不变。当 v_i 由最大值下降到 V_T 值的时间内， R 仍等于 0， $S=1$ ，电路状态也不变。当 $v_i \leq V_T$ 时， G_3 由导通变为截止，而 $V_s = V_T + V_D$ 为高电平，因而 $R=1$ ， $S=1$ ，触发器状态仍保持。

只有 v_i 降至使 $V_s = V_T$ 时，电路才翻回到 $Q=1, \bar{Q}=0$ 的原态。电路的回差 $\Delta V = V_D$ 。

图 13—5 (b) 是由电阻 R_1 、 R_2 产生回差的电路



(a) 由二极管 D 产生回差的电路

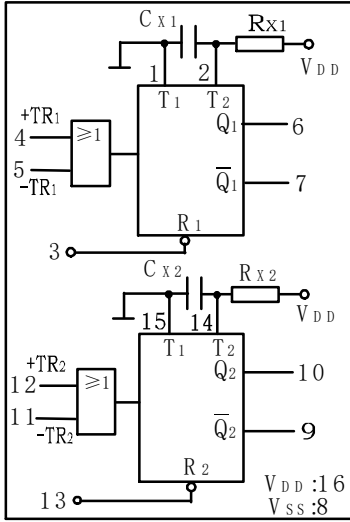
(b) 由电阻 R_1 、 R_2 产生回差的电路

图 13—5 与非门组成施密特触发器

3、集成双单稳态触发器 CC14528 (CC4098)

(1) 图 13—6 为 CC14528 (CC4098) 的逻辑符号及功能表

该器件能提供稳定的单脉冲，脉宽由外部电阻 R_x 和外部电容 C_x 决定，调整 R_x 和 C_x 可使 Q 端和 \bar{Q} 端输出脉冲宽度有一个较宽的范围。本器件可采用上升沿触发 (+TR) 也可用下降沿触发 (-TR)，为使用带来很大的方便。在正常工作时，电路应由每一个新脉冲去触发。当采用上升沿触发时，为防止重复触发， \bar{Q} 必须连到 (-TR) 端。同样，在使用下降沿触发时，Q 端必须连到 (+TR) 端。



输入			输出	
+TR	-TR	\bar{R}	Q	\bar{Q}
1	1	1	高电平	低电平
1	0	1	Q	\bar{Q}
1	1	1	Q	\bar{Q}
0	1	1	高电平	低电平
×	×	0	0	1

图 13-6 CC14528 的逻辑符号及功能表

该单稳态触发器的时间周期约为 $T_x = R_x C_x$

所有的输出级都有缓冲级，以提供较大的驱动电流。

(2) 应用举例

a、实现脉冲延迟，如图 13-7 所示。

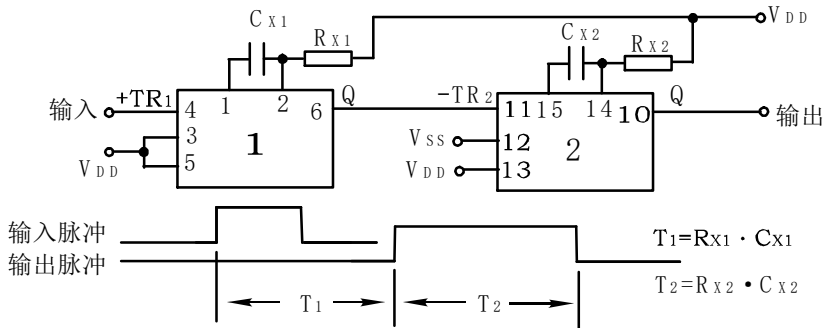


图 13-7 实现脉冲延迟

b、实现多谐振荡器，如图 13-8 所示

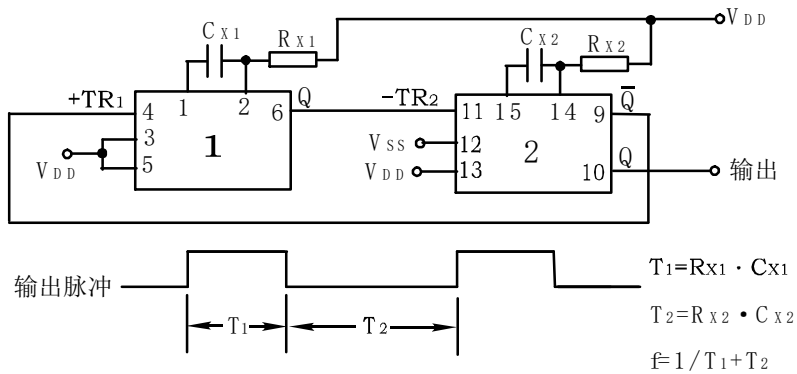


图 13-8 实现多谐振荡

4、集成六施密特触发器 CC40106

如图 13-9 为其逻辑符号及引脚功能，它可用于波形的整形，也可作反相器或构成单稳态触发器和多谐振荡器。

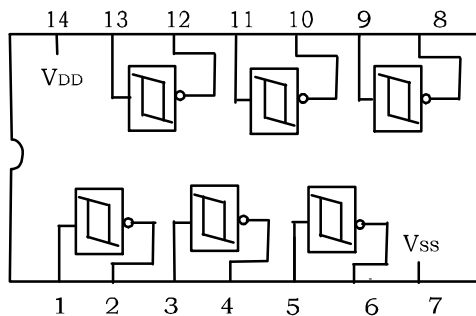


图 13-9 CC40106 引脚排列

(1) 将正弦波转换为方波，如图 13-10 所示。

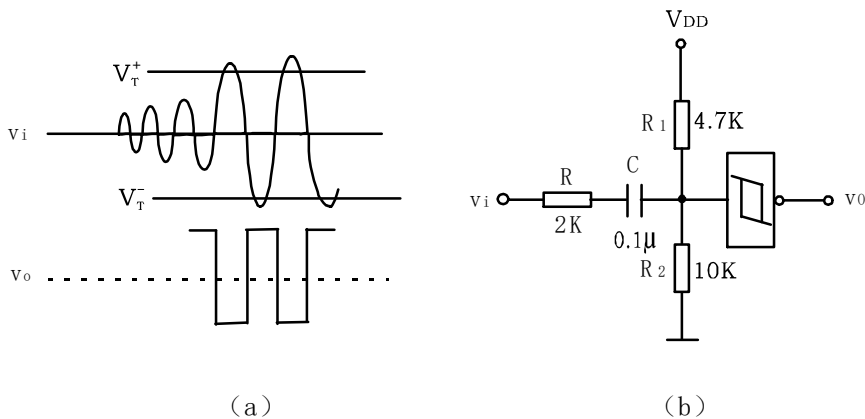


图 13-10 正弦波转换为方波

(2) 构成多谐振荡器，如图 13-11 所示。

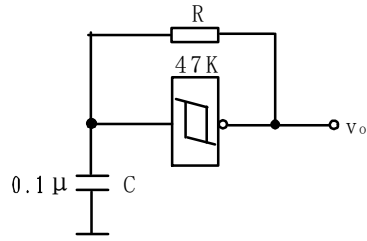


图 13-11 多谐振荡器

(3) 构成单稳态触发器

图 13-2 (a) 为下降沿触发；图 13-2 (b) 为上升沿触发。

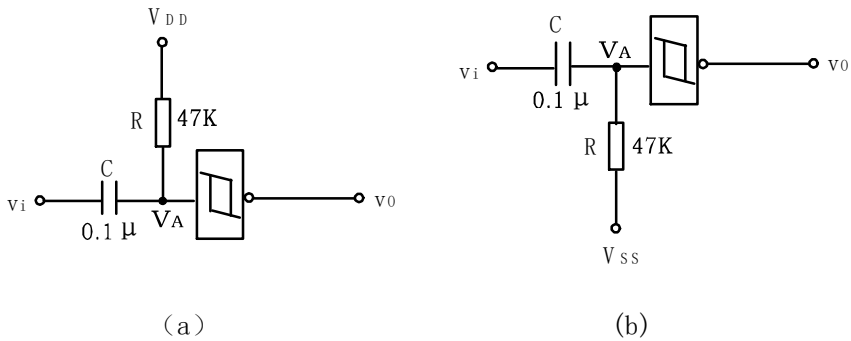


图 13-12 单稳态触发器

三、实验设备与器件

- | | | | |
|------------------|---------|---------|-------|
| 1、+5V 直流电源 | 2、双踪示波器 | | |
| 3、连续脉冲源 | 4、数字频率计 | | |
| 5、74LS00(CC4011) | CC14528 | CC40106 | 2CK15 |
- 电位器、电阻、电容若干

四、实验内容

- 按图 13-1 接线，输入 1KHz 连续脉冲，用双踪示波器 V_i 、 V_P 、 V_A 、 V_B 、 V_D 及 V_o 的波形，记录之。
- 改变 C 或 R 之值，重复实验 1 的内容。
- 按图 13-3 接线，重复 1 的实验内容。
- 按图 13-5 (a) 接线，令 v_i 由 0→5V 变化，测量 V_1 、 V_2 之值。

5、按图 13—7 接线，输入 1KHz 连续脉冲，用双踪示波器观测输入、输出波形，测定 T_1 与 T_2 。

6、按图 13—8 接线，用示波器观测输出波形，测定振荡频率。

7、按图 13—11 接线，用示波器观测输出波形，测定振荡频率。

8、按图 13—10 接线，构成整形电路，被整形信号可由音频信号源提供，图中串联的 2K 电阻起限流保护作用。将正弦信号频率置 1KHz，调节信号电压由低到高观测输出波形的变化。记录输入信号为 0V，0.25V，0.5V，1.0V，1.5V，2.0V 时的输出波形，记录之。

9、分别按图 13-12 (a)、(b) 接线，进形实验。

五、实验预习要求

- 1、复习有关单稳态触发器和施密特触发器的内容
- 2、画出实验用的详细线路图
- 3、拟定各次实验的方法、步骤。
- 4、拟好记录实验结果所需的数据、表格等。

六、实验报告

- 1、绘出实验线路图，用方格纸记录波形。
- 2、分析各次实验结果的波形，验证有关的理论。
- 3、总结单稳态触发器及施密特触发器的特点及其应用。

实验十四 555 时基电路及其应用

一、实验目的

- 1、熟悉 555 型集成时基电路结构、工作原理及其特点
- 2、掌握 555 型集成时基电路的基本应用

二、实验原理

集成时基电路又称为集成定时器或 555 电路，是一种数字、模拟混合型的中规模集成电路，应用十分广泛。它是一种产生时间延迟和多种脉冲信号的电路，由于内部电压标准使用了三个 5K 电阻，故取名 555 电路。其电路类型有双极型和 CMOS 型两大类，二者的结构与工作原理类似。几乎所有的双极型产品型号最后的三位数码都是 555 或 556；所有的 CMOS 产品型号最后四位数码都是 7555 或 7556，二者的逻辑功能和引脚排列完全相同，易于互换。555 和 7555 是单定时器。556 和 7556 是双定时器。双极型的电源电压 $V_{CC}=+5V\sim+15V$ ，输出的最大电流可达 200mA，CMOS 型的电源电压为 $+3\sim+18V$ 。

1、555 电路的工作原理

555 电路的内部电路方框图如图 14-1 所示。它含有两个电压比较器，一个基本 RS 触发器，一个放电开关管 T，比较器的参考电压由三只 5K Ω 的电阻器构成的分压器提供。它们分别使高电平比较器 A_1 的同相输入端和低电平比较器 A_2 的反相输入端的参考电平为 $\frac{2}{3}V_{CC}$ 和 $\frac{1}{3}V_{CC}$ 。 A_1 与 A_2 的输出端控制 RS 触发器状态和放电管开关状态。当输入信号自 6 脚，即高电平触发输入并超过参考电平 $\frac{2}{3}V_{CC}$ 时，触发器复位，555 的输出端 3 脚输出低电平，同时放电开关管导通；当输入信号自 2 脚输入并低于 $\frac{1}{3}V_{CC}$ 时，触发器置位，555 的 3 脚输出高电平，同时放电开关管截止。

\bar{R}_D 是复位端（4 脚），当 $\bar{R}_D=0$ ，555 输出低电平。平时 \bar{R}_D 端开路或接 V_{CC} 。

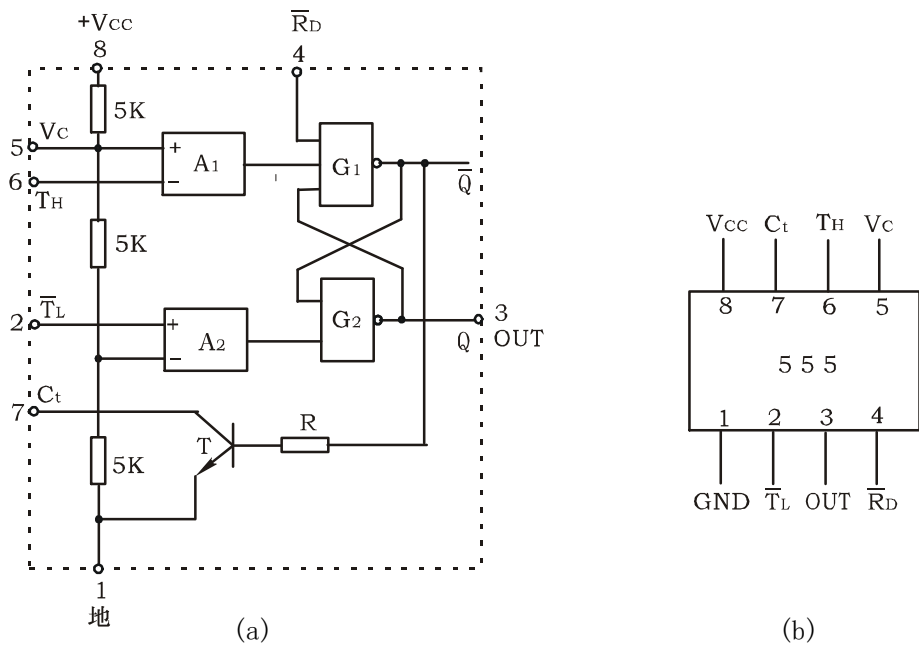


图 14-1 555 定时器内部框图及引脚排列

V_c 是控制电压端（5 脚），平时输出 $\frac{2}{3}V_{cc}$ 作为比较器 A_1 的参考电平，当 5 脚外接一个输入电压，即改变了比较器的参考电平，从而实现对输出的另一种控制，在不接外加电压时，通常接一个 $0.01 \mu f$ 的电容器到地，起滤波作用，以消除外来的干扰，以确保参考电平的稳定。

T 为放电管，当 T 导通时，将给接于脚 7 的电容器提供低阻放电通路。

555 定时器主要是与电阻、电容构成充放电电路，并由两个比较器来检测电容器上的电压，以确定输出电平的高低和放电开关管的通断。这就很方便地构成从微秒到数十分钟的延时电路，可方便地构成单稳态触发器，多谐振荡器，施密特触发器等脉冲产生或波形变换电路。

2、555 定时器的典型应用

(1) 构成单稳态触发器

图 14-2(a) 为由 555 定时器和外接定时元件 R、C 构成的单稳态触发器。触发电路由 C_1 、 R_1 、D 构成，其中 D 为钳位二极管，稳态时 555 电路输入端处于电源电平，内部放电开关管 T 导通，输出端 F 输出低电平，当有一个外部

负脉冲触发信号经 C_1 加到 2 端。并使 2 端电位瞬时低于 $\frac{1}{3}V_{CC}$ ，低电平比较器动作，单稳态电路即开始一个暂态过程，电容 C 开始充电， V_C 按指数规律增长。当 V_C 充电到 $\frac{2}{3}V_{CC}$ 时，高电平比较器动作，比较器 A_1 翻转，输出 V_o 从高水平返回低电平，放电开关管 T 重新导通，电容 C 上的电荷很快经放电开关管放电，暂态结束，恢复稳态，为下个触发脉冲的来到作好准备。波形图如图 14-2(b) 所示。

暂稳态的持续时间 t_w (即为延时时间) 决定于外接元件 R 、 C 值的大小。

$$t_w = 1.1RC$$

通过改变 R 、 C 的大小，可使延时时间在几个微秒到几十分钟之间变化。当这种单稳态电路作为计时器时，可直接驱动小型继电器，并可以使用复位端 (4 脚) 接地的方法来中止暂态，重新计时。此外尚须用一个续流二极管与继电器线圈并接，以防继电器线圈反电势损坏内部功率管。

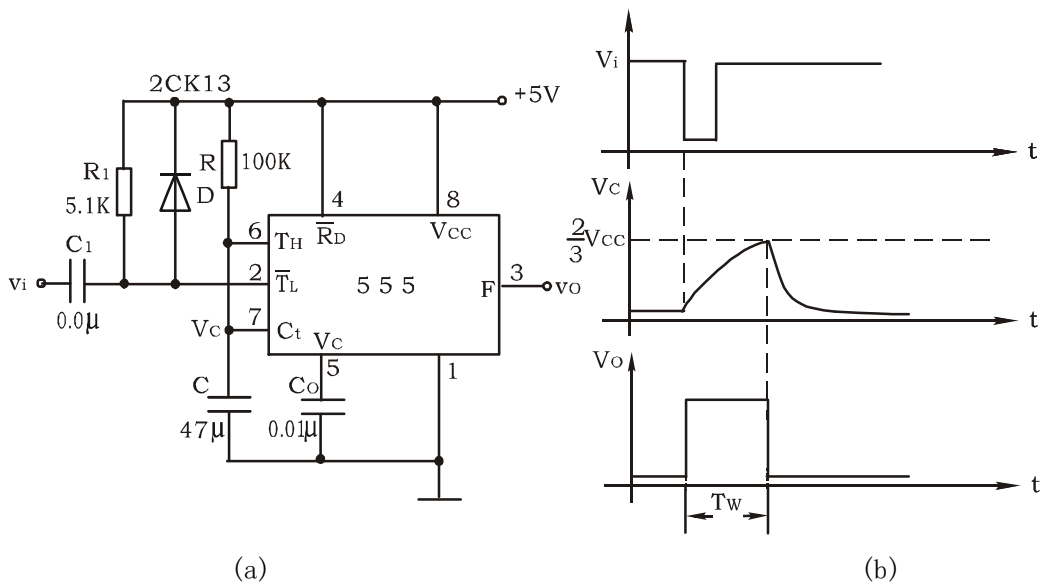


图 14-2 单稳态触发器

(2) 构成多谐振荡器

如图 14-3(a)，由 555 定时器和外接元件 R_1 、 R_2 、 C 构成多谐振荡器，脚

2 与脚 6 直接相连。电路没有稳态, 仅存在两个暂稳态, 电路亦不需要外加触发信号, 利用电源通过 R_1 、 R_2 向 C 充电, 以及 C 通过 R_2 向放电端 C_t 放电, 使电路产生振荡。电容 C 在 $\frac{1}{3}V_{CC}$ 和 $\frac{2}{3}V_{CC}$ 之间充电和放电, 其波形如图 14-3 (b) 所示。输出信号的时间参数是

$$T = t_{w1} + t_{w2}, \quad t_{w1} = 0.7(R_1 + R_2)C, \quad t_{w2} = 0.7R_2C$$

555 电路要求 R_1 与 R_2 均应大于或等于 $1K\Omega$, 但 $R_1 + R_2$ 应小于或等于 $3.3M\Omega$ 。

外部元件的稳定性决定了多谐振荡器的稳定性, 555 定时器配以少量的元件即可获得较高精度的振荡频率和具有较强的功率输出能力。因此这种形式的多谐振荡器应用很广。

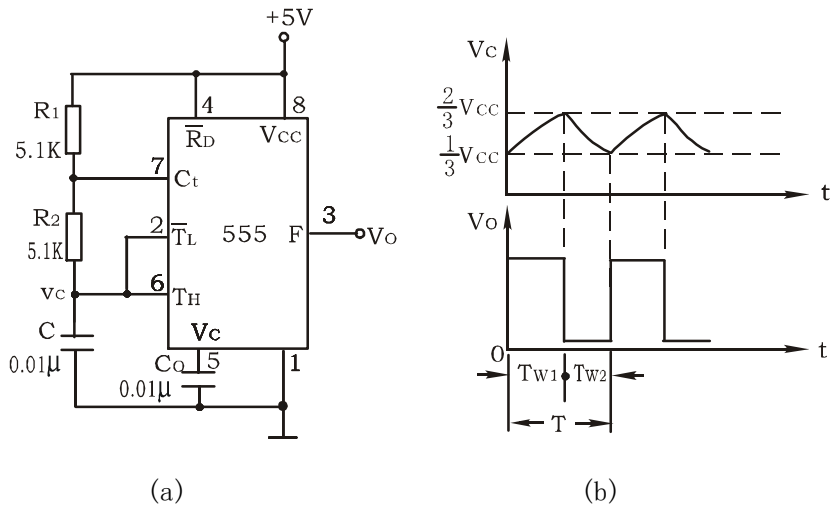


图 14-3 多谐振荡器

(3) 组成占空比可调的多谐振荡器

电路如图 14-4, 它比图 14-3 所示电路增加了一个电位器和两个导引二极管。 D_1 、 D_2 用来决定电容充、放电电流流经电阻的途径 (充电时 D_1 导通, D_2 截止; 放电时 D_2 导通, D_1 截止)。

$$\text{占空比 } P = \frac{t_{w1}}{t_{w1} + t_{w2}} \approx \frac{0.7R_A C}{0.7C(R_A + R_B)} = \frac{R_A}{R_A + R_B}$$

可见, 若取 $R_A = R_B$ 电路即可输出占空比为 50% 的方波信号。

(4) 组成占空比连续可调并能调节振荡频率的多谐振荡器

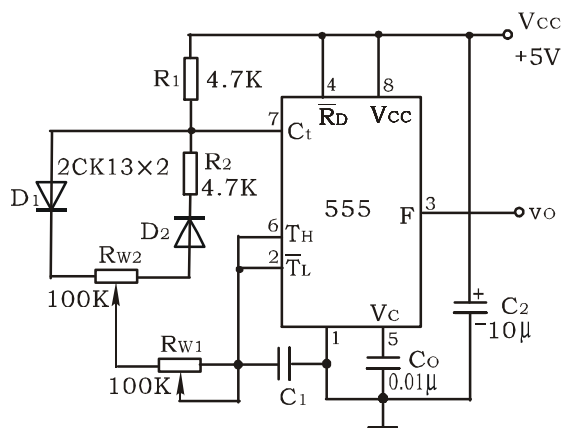
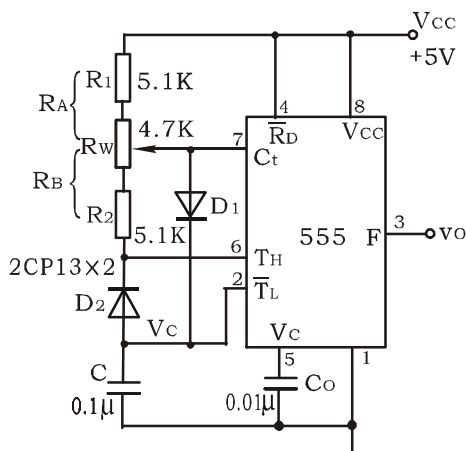


图 14-4 占空比可调的多谐振荡器

图 14-5 占空比与频率均可调的多谐振荡器

电路如图 14-5 所示。对 C_1 充电时，充电电流通过 R_1 、 D_1 、 R_{W2} 和 R_{W1} ；放电时通过 R_{W1} 、 R_{W2} 、 D_2 、 R_2 。当 $R_1=R_2$ 、 R_{W2} 调至中心点，因充放电时间基本相等，其占空比约为 50%，此时调节 R_{W1} 仅改变频率，占空比不变。如 R_{W2} 调至偏离中心点，再调节 R_{W1} ，不仅振荡频率改变，而且对占空比也有影响。 R_{W1} 不变，调节 R_{W2} ，仅改变占空比，对频率无影响。因此，当接通电源后，应首先调节 R_{W1} 使频率至规定值，再调节 R_{W2} ，以获得需要的占空比。若频率调节的范围比较大，还可以用波段开关改变 C_1 的值。

(5) 组成施密特触发器

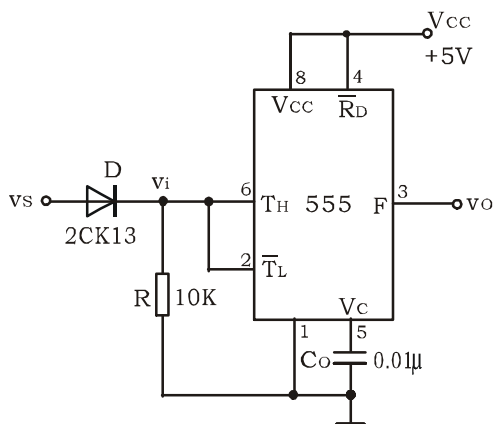


图 14-6 施密特触发器

电路如图 14-6，只要将脚 2、6 连在一起作为信号输入端，即得到施密特触发器。图 14-7 示出了 v_s 、 v_i 和 v_o 的波形图。

设被整形变换的电压为正弦波 v_s ，其正半波通过二极管 D 同时加到 555 定时器的 2 脚和 6 脚，得 v_i 为半波整流波形。当 v_i 上升到 $\frac{2}{3}V_{CC}$ 时， v_o 从高电平翻转为低电平；当 v_i 下降到 $\frac{1}{3}V_{CC}$ 时， v_o 又从低电平翻转为高电平。电路的电压传输特性曲线如图 14-8 所示。

$$\text{回差电压 } \Delta V = \frac{2}{3}V_{CC} - \frac{1}{3}V_{CC} = \frac{1}{3}V_{CC}$$

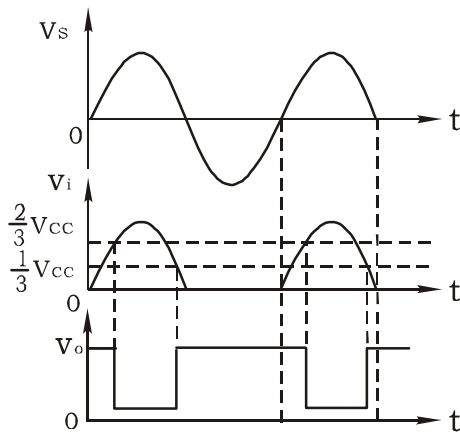


图 14-7 波形变换图

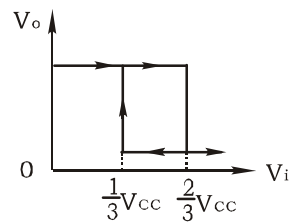


图 14-8 电压传输特性

三、实验设备与器件

- | | |
|------------------|-------------|
| 1、 +5V 直流电源 | 2、 双踪示波器 |
| 3、 连续脉冲源 | 4、 单次脉冲源 |
| 5、 音频信号源 | 6、 数字频率计 |
| 7、 逻辑电平显示器 | |
| 8、 555×2 2CK13×2 | 电位器、电阻、电容若干 |

四、实验内容

1、 单稳态触发器

- (1) 按图 14-2 连线，取 $R=100K$ ， $C=47\mu f$ ，输入信号 v_i 由单次脉冲

源提供，用双踪示波器观测 v_i ， v_c ， v_o 波形。测定幅度与暂稳时间。

(2) 将 R 改为 1K，C 改为 $0.1 \mu f$ ，输入端加 1KHz 的连续脉冲，观测波形 v_i ， v_c ， v_o ，测定幅度及暂稳时间。

2、多谐振荡器

(1) 按图 14-3 接线，用双踪示波器观测 v_c 与 v_o 的波形，测定频率。

(2) 按图 14-4 接线，组成占空比为 50% 的方波信号发生器。观测 v_c ， v_o 波形，测定波形参数。

(3) 按图 14-5 接线，通过调节 R_{w1} 和 R_{w2} 来观测输出波形。

3、施密特触发器

按图 14-6 接线，输入信号由音频信号源提供，预先调好 v_s 的频率为 1KHz，接通电源，逐渐加大 v_s 的幅度，观测输出波形，测绘电压传输特性，算出回差电压 ΔU 。

4、模拟声响电路

按图 14-9 接线，组成两个多谐振荡器，调节定时元件，使 I 输出较低频率，II 输出较高频率，连好线，接通电源，试听音响效果。调换外接阻容元件，再试听音响效果。

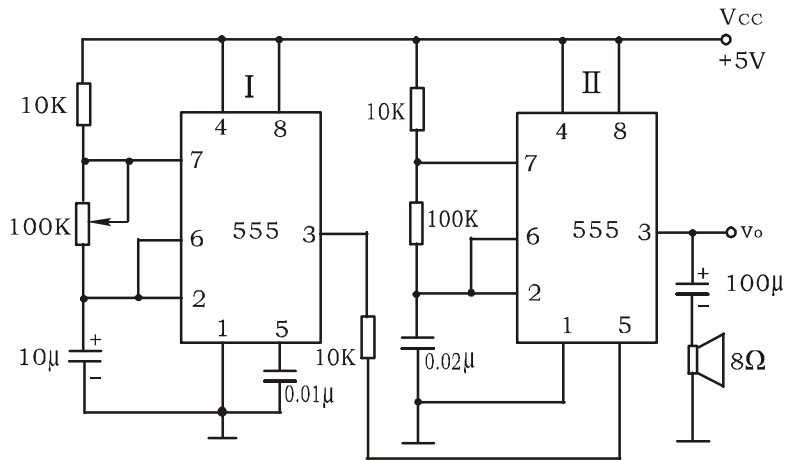


图 14-9 模拟声响电路

五、实验预习要求

- 1、 复习有关 555 定时器的工作原理及其应用。
- 2、 拟定实验中所需的数据、表格等。
- 3、 如何用示波器测定施密特触发器的电压传输特性曲线？
- 4、 拟定各次实验的步骤和方法。

六、实验报告

- 1、 绘出详细的实验线路图，定量绘出观测到的波形
- 2、 分析、总结实验结果

